

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-126895

(43) 公開日 平成10年(1998) 5月15日

(51) Int.Cl.⁶

識別記号

F I

H 0 4 R 25/00

H 0 4 R 25/00

M

G 1 0 L 9/18

G 1 0 L 9/18

J

G 1 1 C 27/00

G 1 1 C 27/00

C

H 0 4 R 3/00

3 2 0

H 0 4 R 3/00

3 2 0

審査請求 未請求 請求項の数10 OL 外国語出願 (全 58 頁)

(21) 出願番号

特願平9-245877

(22) 出願日

平成9年(1997) 8月7日

(31) 優先権主張番号

08/691028

(32) 優先日

1996年8月7日

(33) 優先権主張国

米国 (US)

(71) 出願人 591150959

ベルトン エレクトロニクス コーポレイ
ション

アメリカ合衆国イリノイ州, シカゴ, ウエ
スト ビクトリア ストリート 4201

(72) 発明者

リチャード ブランダー

アメリカ合衆国 イリノイ州 シセロ サ
ウス フィフティナインス アベニュー
1429

(74) 代理人

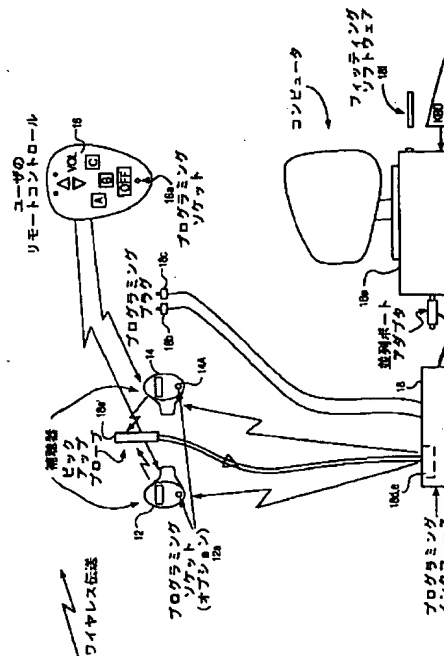
弁理士 中村 稔 (外6名)

(54) 【発明の名称】 デジタル補聴器

(57) 【要約】

【課題】 変更可能なパラメータを有する補聴器を提供する。

【解決手段】 この補聴器は、入射音波を表すデジタル信号を形成するアナログ-デジタル入力回路を含む。デジタル信号プロセッサが、前記入力回路に結合され、第1速度でデジタル信号を少なくとも部分的に表す第1及び第2周波数区別可能データストリームを形成し処理する。コントロールユニットが、前記プロセッサに結合され、第1速度よりも遅い速度で、デジタルデータストリームの少なくとも1つを対数関数的に処理する回路を備える。パラメータ値記憶メモリが、該ユニットに結合し、インタフェースが、該メモリにアクセスして、内部に記憶されたパラメータ値を変更するために設けられる。



【特許請求の範囲】

【請求項1】 変更可能なパラメータを有する補聴器であって、

入射音波を表すデジタル信号を形成するアナログーデジタル入力回路と、

第1速度で前記デジタル信号を少なくとも部分的に表す第1および第2周波数区別可能データストリームを形成し、処理する、前記入力回路に結合されたデジタル信号プロセッサと、

前記第1速度よりも遅い速度で、前記デジタルデータストリームの少なくとも1つを対数関数的に処理するための回路を含んだ、前記プロセッサに結合されるコントロールユニットと、

前記ユニットに結合されるパラメータ値記憶メモリと、前記メモリにアクセスして、その内部に記憶されたパラメータ値を変更するインタフェースとを備える補聴器。

【請求項2】 前記コントロールユニットがデシメーション回路を含むことを特徴とする請求項1に記載の補聴器。

【請求項3】 前記プロセッサが第1及び第2デジタルフィルタを含むことを特徴とする請求項1に記載の補聴器。

【請求項4】 前記コントロールユニットが、前記データストリームと交互作用し、前記デジタル信号を表す対数表示に変換することを特徴とする請求項3に記載の補聴器。

【請求項5】 前記プロセッサが、前記デジタル信号を表す単一のデジタル化された出力データストリームを形成する結合回路を含むことを特徴とする請求項3に記載の補聴器。

【請求項6】 前記インタフェースが、遠隔的に生成されたワイヤレス信号のレシーバを含むことを特徴とする請求項1に記載の補聴器。

【請求項7】 前記インタフェースが、ワイヤレス信号のトランスミッタを備えることを特徴とする請求項6に記載の補聴器。

【請求項8】 前記インタフェースが、伝送された放射エネルギーによりアクセス可能であることを特徴とする請求項1に記載の補聴器。

【請求項9】 前記コントロールユニットが、命令記憶メモリを含むことを特徴とする請求項1に記載の補聴器。

【請求項10】 前記プロセッサが、第1及び第2並列デジタルフィルタを含み、前記フィルタの各々が、それに関連する複数のパラメータを有し、前記パラメータの少なくともいくつか、前記インタフェースによって遠隔的に変更可能であることを特徴とする請求項1に記載の補聴器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は電子補聴器に関し、特に、入射音波を処理して増幅するデジタル信号プロセッサを組み込む補聴器と、そのような補聴器をプログラミングする装置に関する。

【0002】

【従来の技術】従来知られた形態の電子補聴器は、入射音波の処理および増幅を行なう回路を組み込む。処理の性質および適切な増幅レベルは、ある個人と別の個人とは大きく異なる。従来および現在においても、標準回路を多くのユーザのニーズに適合するように用いることができるように、適切なゲインレベルを提供し及び／又は別の処理を行なうことに加えて、処理特性を容易に変更できる電子システム及び補聴器に対するニーズが存在する。さらに個人の聴覚特性は時間によって変化し、そのために補聴器を引き渡して使用した後、それに関する経験が得られたときに、処理特性又はパラメータを変更できることが特に有用である。このような修正の影響を迅速に且つ直接的に比較することも望ましい。

【0003】補聴器が実際に使われている間に、使用しているユーザに対する効果を最高にするように、処理特性及び関連するパラメータをリアルタイムに修正できれば特に好ましい。また、比較的高速で実行できるデジタル信号処理と、一方でユーザに最適な結果を実現するように、ゆっくりとした速度での処理を可能にする制御方法又はアルゴリズムを用いる利点を組み込めることが望ましい。さらに、加算や減算のような単純な演算よりも時間がかかりがちな乗算および除算を多数回用いる必要なく、信号処理に必要な複雑な（複素数の）計算を実行できることが望ましい。最後に、常に環境に存在するノイズに対して、話し言葉の明瞭性を向上する信号処理を実現する必要性が引き続き存在している。

【0004】

【発明の概要】本発明によると、入射音波を電気信号に変換する入力トランスデューサが、アナログーデジタルコンバータ、デジタル信号プロセッサ、デジタル信号プロセッサに結合するコントロールユニット、及び可聴出力波を生成すると同時にローパスフィルタ機能を実現する出力トランスデューサとに結合する。このデジタル信号プロセッサは、ハイパスデジタルフィルタと結合するローパスデジタルフィルタを組み込む。本発明の1つの態様において、これらのフィルタは、1つ以上のプログラマブル折点周波数を含む。フィルタからのデジタル出力は、加算ステージで結合される。加算ステージからの出力信号は、デジタルーアナログコンバータでアナログの形態に変換され、低周波数フィルタ機能も実行する出力トランスデューサを駆動するために用いられる。

【0005】本発明の別の態様において、 $\Sigma-\Delta$ アナログーデジタルコンバータが、入力トランスデューサとデジタル信号プロセッサの間に結合される。デシメー

ション(decimation)回路が、コンバータの出力と、デュアルデジタルフィルタの信号バスに対する入力の間結合される。本発明の別の態様においては、ゲインコントロールは、デジタルマルチビットゲインコントロール信号と、デジタル入力信号を表す1又は2ビットを乗じることによって信号バスで実現される。ここで、デシメーション回路は存在しない。代わりに、係数2でデシメーション機能を実行する回路の場合には、乗算が、デジタル入力信号を表す3から4ビットを掛けられてもよい。本発明の別の態様においては、デジタルフィルタが、高いオーバーサンプリングレートで作動され、バイナリベースのフィルタ係数により定められた調整可能な特性周波数を提供することができる。バイナリベースのフィルタ係数を用いると、マルチプライヤの必要性がなくなる。乗算は、シフト演算を用いることによって実行される。これらは、変数乗算用のマルチプレクサ回路と、固定乗算用のハードワイヤードオフセットを用いて実現される。

【0006】本発明の別の態様においては、出力デジタル-アナログコンバータが、出力トランスデューサのローパス特性を越えた付加的なフィルタを必要とせずに実現される。本発明の別の態様においては、デジタル化された信号の振幅が、対数の形式に変換されることが可能である。対数の形態においては、加算および減算が、乗算および除算に代わる。乗算ステップは、指数関数に近似するために用いられることができる。本発明の更に別の態様においては、回路を単純にすることが、対数関数に区分的線形近似を用いることによって促進される。処理後、生成された信号は、指数関数に区分的線形近似して線形ドメインに変換されて戻される。

【0007】様々なコントロール信号を対数表示に翻訳することによって、回路の複雑さが低減されるばかりでなく、対数ドメインが広いダイナミックレンジを非常に効率よく容易にサポートする。結果として、デュアル入力圧縮システム、デュアル出力圧縮システム及びノイズ減少システムが、周波数帯域の各々に対して設けられ、独立して調整可能となる。本発明の別の態様においては、補聴器がプログラマブルプロセッサを備え、ユニットが製造されるとき、コントロール命令を、不揮発性命令メモリに記憶することができる。このことは、ユニットが、異なる信号処理アルゴリズムを実行する命令の様々な集合をもって構成されることを可能にする。本発明の別の態様においては、1つ以上のインタフェースが設けられて、コントロールユニットが外部回路と通信できるようにする。1つの態様において、このインタフェースは、補聴器内に記憶されたパラメータ値を読み出し、パラメータを調整する外部プログラミング装置に直接結合されることができる。

【0008】本発明の別の態様においては、リモートコントロールユニットが設けられる。このようなユニット

は、補聴器のインタフェースにより検出される変調RF搬送波を送信することができる。このような装置は、ユーザ個人の特性や特定の聴く状態によって性能を最適にするように、補聴器のパラメータをリモートの的に制御することを可能にする。リモートコントロールユニットは、リモートコントロールユニット内に記憶された多くのパラメータの集合の各々を調整するために、コンピュータに結合されることができる。さらに、本発明の別の態様によると、複数のパラメータが、デジタル信号プロセッサのチャンネルの各々に対してフィールドプログラマブル(field programmable)である。ユーザ特性が時間にわたって変化すると、パラメータが容易に変更して、そのような変化を考慮に入れることができる。

【0009】本発明の別の態様によるデジタル補聴器は、デシメーションを有しないか、又は係数2のデシメーションを有するかの $\Sigma-\Delta A/D$ コンバータを組み込む。これは、デシメーションフィルタに必要とされるデジタル信号処理量を実質的に低減する。さらに、パルス幅変調(ゼロ復帰(RZ)コーディング)がデジタルフィードバックバスで用いられる $\Sigma-\Delta A/D$ コンバータを用いることは、不正確さの問題及び異なる立上り時間と立下り時間により生じるノイズの問題をなくす。ゲインコントロールは、デジタルマルチビットゲインコントロール信号と、(デシメーションがない場合には)デジタル入力信号を表す1又は2ビット、又は(係数2によるデシメーションの場合には)デジタル入力信号を表す3又は4ビットを乗じることによって実現されることができる。このことは、マルチプライヤの複雑性を実質的に低減する。

【0010】高いオーバーサンプリングレートで動作するように設計された無限インパルス応答(IIR)デジタルフィルタを用いて、 2^{-n} (n は整数)の値を有するフィルタ係数によって定められる調整可能な特性周波数を提供すると、この係数がデジタルシフトとして実行されることが可能であるために、マルチプライヤの必要性をなくする。 $\Sigma-\Delta D/A$ コンバータを用いて、信号改造フィルタをもたない出力ビットストリームを生成し、出力トランスデューサのローパス特性に基づいて、高周波数成分をフィルタで取り除き、出力トランスデューサの誘導インピーダンスに基づいて、高い効率を実現することによって、改造フィルタの必要性をなくし、非常に効率のよい出力ドライブを磁気トランスデューサに与える。

【0011】本発明の別の態様によるデジタル補聴器は、各々の周波数帯域の出力信号をデジタル的に整流し、フィルタ処理し、デシメーションしたものを用いて、その帯域における信号振幅を表す。これらの機能のデジタルインプリメンテーションは、正確で且つ効率よく、オフチップ成分を必要としない。低いサンプリングレートに対するデシメーションは、コントロールバス

が、かなり遅い計算速度で動作することを可能にする。対数関数への区分的線形近似を利用して信号の振幅を対数ドメインに変換し、それからコントロールアルゴリズムを用いてこれらの信号を処理した後に、指数関数への区分的線形近似を用いて、生成されたコントロール信号を線形ドメインに変換して戻すことによって、ハードウェアの要求が少なくなる。乗算および除算は加算及び減算に置き替えられ、指数は基本の乗算に置き替えられ、回路の複雑さを大幅に少なくする。また、対数ドメインは、広いダイナミックレンジを非常に効率よく表現する。このことは、各々が2つの周波数帯域のそれぞれに対して独立して調整可能なデュアル入力圧縮システム、デュアル出力圧縮システム、及びノイズ低減システムを提供する十分な能力をもたらすことを可能とする。

【0012】2つの入力オペランドの選択動作、乗算又はシフト、加算又は減算又は条件付き選択、及び出力記憶の機能を同時に実行するコントロールプロセッサが、逐次動作よりもサイクルあたりにより多くの処理を可能にする。補聴器の製造時に不揮発性命令メモリにプログラムされた命令を用いてコントロールアルゴリズムをインプリメントすることは、コントロールアルゴリズムにおける訂正又は改良の迅速なインプリメンテーションを可能にする。本発明によるディジタル直列インタフェースを用いた補聴器は、伝送データ用にパルス幅変調（ゼロ復帰コーディング）を用いることができる。結果として、伝送信号はセルフクロッキングするため、別のクロックラインは必要ではなく、タイミングは難しいものにはならない。また、単一の信号ラインのみが用いられるため、ワイヤレス通信に対して簡単に適合できる。

【0013】直列インタフェースを用いる補聴器が、以下の機能のいくつか又は全てを提供することができる。

- a) 補聴器信号処理パラメータのプログラミング
- b) 補聴器からのパラメータの読み出し
- c) 例えばボリュームコントロールのような信号処理パラメータ及び別のコントロール設定のリモートコントロール
- d) 命令メモリのプログラミング
- e) 命令メモリの読み出し。

これらの機能に単一のインタフェースを用いることは、コスト及び複雑性を低減する。

【0014】アンテナスイッチ及び搬送波モジュレータを備えた直列インタフェースを有する補聴器では、同じ同調コイルが受信及び送信アンテナの両方として用いられることができる。このことは、双方向のワイヤレス通信を可能にし、プログラミングコネクタの必要性をなくする。単一の同調コイルアンテナは、コスト及びスペースを節約する。50kHz のパルス幅変調が、バイナリビットストリームを転送する。本発明を具体化する補聴器のリモートコントロールが、データ伝送に対して50kHz 誘導フィールド（RF）搬送波のパルス幅変調を用いると

とができる。この搬送波周波数は、可聴帯域を大きく超えて、可聴干渉を最小にするが、割り当てられた周波数よりは低い。この誘導フィールドは、ボディシャドーフエクト (body shadow effect) の影響を受けず、両耳に取り付けた両方の補聴器を同じリモートコントロールロケーションからコントロールできる。パルス変調は、非常に効率のよい出力ステージを可能にする。

【0015】本発明を具体化する補聴器用のリモートコントロールは、直角位相にある搬送波で駆動される、直角スペースにある2つの伝送コイルを用いることができる。これは、伝送信号のピックアップパターンのナルを最小にする。本発明の別の態様においては、補聴器用のリモートコントロールが、状態パルスと伝送照合番号を用いて、有効伝送を制御されている補聴器に送る。このことは、誤動作又は他のユーザによる動作を最小にし、両耳の補聴器の両方を独立して制御することを可能にする。スイッチングモードにおいてブリッジ形出力により駆動される同調コイルを用いるリモートコントロールが、高いトランスミッタ効率をもたらす。本発明の別の態様においては、プログラミングコネクタを有するリモートコントロールは、コンピュータがリモートコントロールにおいてマルチプルメモリをプログラムできるようにし、またコンピュータが、リモートコントロールと補聴器の間でワイヤレス通信を用いて補聴器内のメモリをプログラムできるようにする。従って、補聴器のワイヤレスプログラミングは、リモートコントロール内に既に存在するモジュレータ及びトランスミッタを用いて影響を受ける。

【0016】本発明の別の態様においては、リモートコントロール信号を受け取り、且つ電話誘導ピックアップ及び誘導ループピックアップ用の同じ誘導コイルを用いるリモートコントロールを備えた補聴器が、スペース要求及びコストを少なくする。このリモートコントロールは、ホン及びリモートコントロール方式の両方に対して同じ低周波数RF伝送を用いる。両方が、この同じコイルを完全に用いる。このリモートコントロールを用いる補聴器が、同調受信コイル上で動作するAGCを利用して、可聴周波数誘導信号に対する感度に影響を与えないように、リモートコントロール信号に対する感度を制御する。このことは、リモートコントロールからの可聴干渉を低減する。本発明の別の態様においては、コンピュータインタフェースが、インタフェースに電力を供給し、且つ双方向通信をもたらすコンピュータ並列ポートを用いる補聴器又はリモートコントロールをプログラミングできる。このことは、別の電力源の大きさ、コスト及び不便性をなくする。コンピュータソフトウェアは、信号スイッチングパターンを制御することができる。このようなコンピュータインタフェースは、変圧器を用いることによって補聴器又はリモートコントロールをプログラムすることができ、インタフェース及びオプトカプ

ラに電力を送って、インタフェースに又はインタフェースから信号を伝送する。このことは、安全性の要求に適合するために必要な電氣的絶縁をもたらす。

【0017】本発明による補聴器は、信号処理アルゴリズムを組み込むことができ、多くのパラメータが2つのチャンネルの各々における選択されたレンジにわたってフィールドプログラム可能である。これらは、以下のものを含む。全開のゲイン：3dB インクリメントで48dBの範囲。折点周波数：500, 707, 1000, 1414, 2000, 2828又は4000Hz。位相：同位相又は異位相。

第1出力AGCシステム

制限レベル：3dB インクリメントで48dBの範囲

リリース時間：2の累乗において2から8192ミリ秒

第2出力AGCシステム

制限レベル：3dB インクリメントで48dBの範囲

リリース時間：2の累乗において2から8192ミリ秒

第1入力AGCシステム

閾値レベル：3dB インクリメントで48dBの範囲

圧縮比：1.14, 1.33, 1.6, 2.67, 4, 又は 8

アタック時間：2の累乗において2から8192ミリ秒

リリース時間：2の累乗において2から8192ミリ秒

第2入力AGCシステム

閾値レベル：3dB インクリメントで48dBの範囲

圧縮比：1.14, 1.33, 1.6, 2.67, 4, 又は 8

アタック時間：2の累乗において2から8192ミリ秒

リリース時間：2の累乗において2から8192ミリ秒

ノイズ低減システム

閾値レベル：3dB インクリメントで48dBの範囲

アタック時間：2の累乗において2から8192ミリ秒

以下のパラメータは、2つのチャンネルの各々における様々な範囲にわたって補聴器の製造時にプログラムされることができる。

第1出力AGCシステム

アタック時間：2の累乗において2から8192ミリ秒

第2出力AGCシステム

アタック時間：2の累乗において2から8192ミリ秒

ノイズ低減システム

リリース時間：2の累乗において2から8192ミリ秒

調整（フィッティング）システムは、フィッティングアルゴリズムを用いて設けられ、音の異常な大きさ、限界帯域の広さ、異常な上方向へのマスキングの広がり、両耳対片耳のフィッティングの要因に基づいて、補聴器パラメータを選択する。

【0018】本発明のこれらの及び別の態様、特性が、添付図面および以下の説明を参照して説明される。

【0019】

【発明の実施の形態】本発明は、多くの異なる形態の具体例を受け入れることができ、図面及び以下の特定の具体例に基づいて詳細に記載されているが、これらの開示は本発明の原理を例示するものであって、本発明を例示

した具体例に制限するものと解してはならない。図1のデジタル補聴器システム10が、ユーザが付けるデジタル補聴器12、14（両耳フィッティング）又は単一のデジタル補聴器12もしくは14（片耳フィッティング）を備える。補聴器12、14は、プログラミングソケット12a、14aをオプションとして備えてもよく、補聴器特性を個々のユーザに対してプログラムできるものとする。

【0020】リモートコントロールユニット16が、補聴器12、14の動作を制御するためにユーザに支持される。ユニット16は、放射電磁エネルギーRによって、ユーザが選択した命令およびパラメータ集合を補聴器12、14に伝送し、様々な聞こえてくる環境に対して補聴器特性を調整することができる。リモートコントロールユニット16は、プログラミングソケット16aを備えて、多くのユーザが選択可能なプログラム又はパラメータ値を入力でき記憶することができる。プログラミングインタフェース18は、パーソナルコンピュータ18aに結合される。プログラミングコード及びプラグ18b、cが、補聴器12、14及びリモートコントロールユニット16をプログラムするために必要な電気信号を提供する。

【0021】代わりに、補聴器12、14が、ワイヤレストランスミッタ18d及びレシーバ18eを備えてもよい。従って、補聴器12、14は、遠隔的にプログラムされ又は制御されることができる。さらに、ピックアップ18e'が、前に記憶されたプログラム又はデータを検出して、レシーバ18eに読み戻すことができる。フィッティングプログラム18fが、パーソナルコンピュータ18a上でランし、ユーザの聴覚的なデータを受け取り、そのユーザに対する補聴器12、14の適切な特性を検出し、その適切なデータをプログラミングインタフェース18に与える。フィッティングプログラム18fは、ユーザ固有のデータの記憶及び検索のような別の機能を提供することも可能である。

【0022】補聴器システム10は、様々な形態で提供されることができる。例えば、補聴器12、14は、耳の後側のタイプ(behind-the-ear, BTE)、耳の内部のタイプ(in-the-ear)、管内部のタイプ(in-the-canal)であってよい。またシステム10は、リモートコントロールユニット16を用いずに、補聴器取り付けコントロールの限られたの集合を代わりに用いて構成されてもよい。システム10は、オン/オフスイッチ以外のユーザが作動するコントローラを有さずに構成されてもよい。図2は、例えば補聴器12、14のブロック図を例示する。図2のデジタル補聴器12、14の各々は、可聴周波数帯域の音響信号を受け取るマイクロホン20を有する。誘導ピックアップコイル22が、二重の目的に役立つ。

【0023】コイル22は、電話の受話器又は伝送誘導

ループから、可聴周波数帯域にある磁場信号を受け取る。また、コイル22は、周波数が可聴帯域よりも大きい伝送される又は放射される電磁搬送波で符号化されたリモートコントロール信号を受け取ることもできる。また、コイル22は、トランスミッタ18dからのプログラミング信号を受け取り、又はレシーバ18eにプログラムもしくは情報を伝送するために用いられることもできる。誘導ピックアップのオプションをもたず、更にリモートコントロール及びワイヤレスのオプションをもたない補聴器に関しては、誘導コイル22は必要ない。コネクタ12aが、符号化されたプログラミング信号の双方向伝送のためにオプションとして設けられてもよい。伝送は、直列又は並列のいずれであってもよい。

【0024】電子信号プロセッサ24が、上述した信号をコントロール信号とともに、オプション的な補聴器取り付けコントロール26から受け取り、出力ポート24aに電氣的出力信号を与える。レシーバ28は、この電氣的出力信号を音響出力信号に変換する。バッテリーが、電力を電子信号プロセッサ24に供給する。電子信号プロセッサ24は、図3のブロック図の形態に例示される。以下のテーブルでは、図3に示される信号S1～S21の性質をさらに説明する。

S1	アナログ可聴周波数
S2	1ビット 400KHz
S3	13ビット 400KHz
S4	2ビット 400KHz
S5	400KHz搬送波の2ライン可聴出力
S6	アナログ可聴周波数
S7	コントロール信号
S8	アナログ
S9	アナログ
S10	変調50KHz 搬送波
S11	1ビットデジタル直列データ
S12	コントロールライン
S13	アドレス；データ；コントロール
S14	アドレス；データ；コントロール
S15	データ24ビット
S16	アドレスビット
S17	8ビットデータ
S18	アドレスビット
S19	9ビット並列の2つのインタリーブされた12.5キロビット信号
S20	10ビットコントロール信号
S21	9ビット並列の2つのインタリーブされた12.5キロビット信号

プロセッサ24は、誘導コイルブリアンプ22aを備え、可聴周波数信号と、誘導コイル22により検出されるリモートコントロール信号を増幅する。自動ゲインコントロール（AGC）が、リモートコントロール信号の出力レベルを制御するために備えられる。

【0025】リモートコントロール信号検出器22bは、ブリアンプ22aに結合され、コイル22により検出される搬送波信号から変調信号を回復する。ブリアンプ20aは、マイクロホン20からの信号を増幅し、及び／又は、誘導コイルブリアンプ22aからの出力信号を増幅するために設けられる。AGCの限界が設けられて、高い入力信号レベルによるオーバーロードを阻止する。アナログーデジタルコンバータ30が、ブリアンプ20aのアナログ出力をデジタル形式に変換するために設けられる。A/Dコンバータ30は、IEEE Press 1992のCandy and Temes Ed.によるOversampling Delta-Sigma Data Convertersに開示されるタイプのΣ-Δ変調に基づいている。音声バス用のデジタル信号プロセッサ32が設けられ、A/Dコンバータ30から受け取られた信号を処理する。この信号は、プロセッサ32内の調整可能な折点周波数で、低周波数および高周波数帯域すなわちチャンネルに分けられる。各チャンネルのゲイン、位相、及び折点周波数は、コントロールプロセッサ34からの信号により制御される。2つのチャンネルからの信号はそれから再結合される。

【0026】デジタルーアナログコンバータ36が設けられ、可聴信号プロセッサ32からのデジタル出力信号ストリームをビットストリームに変換し、そのビットストリームから、元の音響入力に相当するアナログ情報がローパスフィルタ処理をすることによって回復される。このフィルタ処理は、出力トランスデューサ28、補聴器12のレシーバで行なう。出力ドライバ36aが、スイッチングタイプの構成の出力トランスデューサ28（例えば磁気レシーバ）を駆動する。この構成は、高い出力変換効率をもたらす。コントロールバス34用のデジタル信号プロセッサ34は、可聴信号プロセッサ32の2つの周波数チャンネルの出力から信号を受け取り（図5に示される）、コントロール信号を生成して、各チャンネルのゲインをリアルタイムで制御する。また、折点周波数及び各チャンネルの位相を制御するための信号も提供する。

【0027】プロセッサ34に結合する命令メモリ34aは、プロセッサ34に命令を与えて、制御方法を実行する。図3の信号プロセッサの利点の1つに、様々な制御法が様々な難聴に対して提供されることがあることを理解されたい。さらに、この方法は、時間にわたって変更され、特定の欠陥の変化を考慮にいれる。命令は、製造時又は後の所望の時に、インタフェースプロセッサ38によって命令メモリ34にロードされることができ、このメモリ34aは、不揮発性半導体メモリであってもよい。パラメータメモリ34bは、コントロールパラメータをコントロールプロセッサ34に与え、補聴器特性を、聴力損失及び補聴器ユーザのニーズに合わせる。パラメータメモリ34bは、好ましくは揮発性メモリ及びシャドウ不揮発性メモリを備える。

【0028】パラメータが、リモートコントロールユニット16、ワイヤレスプログラマ18又はコネクタ12aのようなプログラミングコネクタを介してパラメータメモリ34bにロードされ、プログラミングコネクタのワイヤレスインタフェースを介して、パラメータメモリ34bから読み取られる。パラメータは、補聴器が作動するときに、パラメータメモリ34bの不揮発性部分から揮発性部分に伝送され、リモートコントロール16、トランスミッタ18d又はコネクタ12aのようなプログラミングコネクタからの指令によって、これら2つのタイプのメモリの間を行ったり来たりするように伝送される。パラメータメモリ34bは、補聴器の識別データを記憶する。ワーキングメモリ34cが、コントロールプロセッサ34のワーキング変数に対して一時記憶領域を与える。

【0029】インタフェースプロセッサ38は、入力／出力装置を介して、並列又は直列伝送又は受取りを制御する。これらの装置は、プログラミングコネクタ12a又はリモートコントロールコイル22を含む。伝送しているとき、例えば直列データがコネクタ12aで与えられる。同時に、同じ信号が変調され、コイル22'に結合される。プロセッサ38が、オプション的な補聴器取り付けコントロールからの入力を受け取る。このプロセッサ38は、マイクロホン及び／又は誘導コイル入力を選択するために、コントロール信号をプリアンプ20aに与える。さらに、電圧規制、クロック生成、及びパワーダウン機能などの様々な支援機能が設けられる。これらの機能は、全て当業者によく知られたタイプのものであるため、ここで詳しくは検討しない。

【0030】電子信号プロセッサ24を、図3に例示されるように、現実的に主としてアナログの機能と、主としてデジタルの機能に分けることができる。アナログ及びデジタルの機能は、別のチップ上に集積され、低レベルのアナログ機能上のデジタルのノイズの効果を最小限にする。図4にブロック図の形式で示されたA/Dコンバータ30は、アナログ加算器30-1を備え、ライン20b上のアナログ入力信号と、ライン20c上の反転フィードバック信号を加え、ライン30-2にエラー信号を生成する。第1、第2及び第3アナログ積分器30-3〜30-5が、縦一列になって連続してエラー信号を積分する。第3積分器30-5の出力から第2積分器30-4の入力へのフィードバックパス30-6が、およそ6000Hzの伝達関数においてゼロを生成する。

【0031】係数結合器30-7は、3つの積分器30-3〜30-5のアナログ出力の重み付け和を生成し、エラー信号を重み付けて表す周波数を生成する。アナログクリッピング増幅器30-8が、結合された信号を最適なレベルに増幅する。比較器30-9が、増幅された信号を2つのレベル（オン／オフ）信号に変換する。状態検出器30-10が、クロック（例えば400kHzのレー

ト）の整数倍のインターバルで、比較器出力の状態をサンプリングし、ラッチする。状態検出器30-10の出力が、ライン30-11上のA/Dコンバータのデジタル出力となる。パルス発生器30-12が、デジタルフィードバック信号を生成し、その信号は、デジタル出力がロジックゼロであるときに短いパルスであり、デジタル出力がロジック1であるときに長いパルスとなる。1ビットD/Aコンバータ30-13が、デジタルフィードバック信号を反転し、その信号を制御された信号レベルを有するライン20c上のアナログフィードバックに変換する。

【0032】音響信号プロセッサ32が、図5においてブロック図の形態で例示される。これは、デシメーションフィルタと、余分なサンプルを排除するデシメータを備えたデシメーションステージ32-1を含む。2でデシメーションすることによって、デシメーションフィルタの伝達関数は、

$$(1+Z^{-3})(1+Z^{-1})(1+Z^{-1})/8$$

となり、他の全てのサンプルが捨てられ、400kHzのサンプルレートを200kHzに下げる。音響信号プロセッサ32は、デシメーションステージがなくても実行されるが、続くデジタルフィルタステージがサンプリング速度の2倍の速度で動作しなければならない、フィルタエレメントを多重化する可能性が減る。

【0033】帯域分割器およびゲインマルチプライヤ32-2が、デジタル入力に低チャンネルゲインと位相値を乗じて、入力を低周波数チャンネルフィルタ32-3に与え、デジタル入力に高チャンネルゲインと位相値を乗じて、入力を高周波数チャンネルフィルタ32-4に入力する。高チャンネルフィルタ32-4は、直列の以下のステージを含む。4000Hzの折点周波数をもつ一次ローパスデジタルフィルタ32-5。このフィルタは、加算器とクロックレジスタとで実行され、低チャンネルにおいて一次フィルタ32-6で多重化される。0.707のQ値をもつ二次ハイパスデジタルフィルタ32-7が、プログラマブル折点周波数を有する。このフィルタは、多重化された加算器とクロックレジスタとで実行される。

【0034】1.414のQ値をもつ二次ローパスデジタルフィルタ32-8が、5656Hzの折点周波数を有する。このフィルタの目的は、高周波数量子化ノイズのレベルを低減することである。これは、多重化された加算器およびクロックレジスタで実行される。低チャンネルフィルタ32-3が、直列の以下のステージを含む。125Hzの折点周波数をもつ一次ハイパスデジタルフィルタ32-6。このフィルタは、高チャンネル32-4において一次フィルタ32-5で多重化される。0.707のQ値とプログラマブル折点周波数をもつ二次ローパスデジタルフィルタ32-9。このフィルタは、多重化された加算器及びクロックレジスタで実行される。

【0035】和および制限ステージ32-10が、高および低チャンネルからのデジタル入力の信号範囲を制限し、それらを加え、それから再度ライン32-11上の加算された信号の範囲を制限する。この結果、音響信号プロセッサ32からの出力信号が生成される。デシメータ32-12が、高チャンネルフィルタ32-4と低チャンネルフィルタ32-3の両方の出力を、係数16で12,500サンプル/秒のサンプリング速度にデシメートする。各デシメーションフィルタは、16サンプル和およびダンブ(sinc フィルタ)からなる。結果として生成される高および低チャンネル出力信号は、単一の出力バス34-5上に時多重化される。D/Aコンバータ36が図6に例示される。これは、ライン32-11上のデジタル入力信号を、ライン36-2上の反転した2値デジタルフィードバック信号に結合する加算器36-1を備え、ライン36-3上にエラー信号を生成する。

【0036】第1、第2および第3アキュムレータすなわちレジスタ36-4~36-6が、直列に連続してエラー信号を累算する。加算器36-7が、第1アキュムレータ36-4と第2アキュムレータ36-5の間に設けられ、第3アキュムレータ36-6からのフィードバック信号を発生し、5.6kHzで伝達関数ゼロを導く。加算器36-8は、3つのアキュムレータ36-4~36-6のデジタル出力の重み付き和を提供し、周波数重み付きのエラー信号を表す。量子化器36-9は、ライン36-9'上のマルチビット周波数重み付きエラー信号から2値(1ビット)デジタル出力を提供する。これは、D/Aコンバータの第1出力である。

【0037】インバータ36-10は、第1出力を受け取り、ライン36-11上に第2の反転されたA/Dコンバータの出力を生成する。コントロールプロセッサ34が図7に示される。これは、命令メモリ34aからの命令を受け取り、コントロールプロセッサ中の様々なエレメントから状態信号を受け取る命令デコーダ34-1を備える。これは信号を生成し、パラメータメモリ34bからの読取機能を制御するばかりでなく、様々な処理エレメントと入力及び出力選択器の機能を制御する。また、変数メモリ34cに対する読取および書込機能を制御する。プログラムカウンタ34-2が、命令メモリ34aからの命令のシーケンスを制御する。一対の汎用カウンタ34-3が、ソフトウェアがロードし、デクリメントし、検査するために有用である。

【0038】擬似対数コンバータ34-6が、入力の絶対値の対数log(底2)の負の部分に対して区分的線形近似を行なう。この機能は、2つのチャンネル32-3及び32-4の信号の大きさを、時多重化した対数表示で表す。擬似指数コンバータ34-8が、入力の負の部分の指数exp(底2)の区分的線形近似を行なう。これは、ゲインコントロール信号を時多重化した対数表示を、2つのチャンネル32-3及び32-4に対して

線形ドメインゲインマルチプライヤに変換する。マルチプライヤ34-10は、コントロールプロセッサ34の第1すなわち"A"オペランドバス34-12ある。それは、"A"選択ゲート34-14からのA入力に、3ビット被乗数または"M"選択ゲート34-15から受け取られた値1を乗ずる。

【0039】バレルシフタ34-16が、マルチプライヤ34-10の後で"A"オペランドバス34-12に配置される。シフタ34-16は、シフト選択ゲート34-17からの制御入力に応答してAオペランドを0から15ビット位置に左シフトする。演算およびロジックユニット34-18(ALU)は、バレルシフタ34-16から"A"オペランドを受け取り、"B"入力選択回路34-19から"B"オペランドを受け取る。これは、加算(A+B)、減算(A-B)の演算を実行し、結果=ゼロ、及び、結果<ゼロの状態について検査する。状態選択回路34-22が、ALU34-18の出力に結合される。組合せゲーティングでインプリメントされた選択器が、ALU34-18の出力を選択するか、又は"B"選択ゲーティング34-19からの状態選択命令に応答して、結果<ALUの0出力によって"A"オペランド又は"B"オペランドのいずれかを選択する。

【0040】アキュムレータ34-23が、1つの命令サイクルに対して状態選択器34-22の出力を記憶する。状態レジスタ34-25が、1つの命令サイクルに対するALU34-18の状態テスト結果を記憶する。"A"オペランドに対する"A"選択回路34-14が、パラメータメモリ34bより得られるパラメータ、アキュムレータ34-23の出力、高チャンネル32-4又は低チャンネル32-3からの振幅信号、又は命令メモリ34aからの命令語からの即値オペランドのうちの1つを選択する。"A"選択器34-14が、第1入力をマルチプライヤ34-10に供給する。"M"選択回路34-15、マルチプライヤ34-10への第2入力が、パラメータ34bより得られるパラメータ、メモリ34aからの命令語による即値オペランド、又は乗数1のいずれかを選択する。

【0041】バレルシフタ34-16のシフト入力に対する"S"選択回路34-17が、パラメータメモリ34bから得られるパラメータ、メモリ34aからの命令により得られる即値オペランド又はゼロシフトコマンドのいずれかを選択する。Bオペランドに対する"B"選択回路34-19が、変数メモリ34cから得られる変数、アキュムレータ34-23の出力、ライン34-27上のボリュームコントロール信号又はメモリ34aによる命令語から得られる即値オペランドのいずれかを選択する。周波数レジスタ34-29が、第1の2つのパラメータアドレスがアクセスされるときに、チャンネル周波数及び位相パラメータをラッチする。インタフェー

スプロセッサ38が、図8内のブロック図の形態で例示される。これは、パルス調整器38-1を備え、リモート信号検出コイル22'を介してリモートコントロールユニット16から信号ストリームを受け取る。この調整器38-1は、短いスパイク及びドロップアウトを訂正しながら、この信号ストリームのエンベロープ検出を行なう。

【0042】入力検出回路38-2は、パルス調整器38-1とプログラミングコネクタ12aの両方からの入力データをモニタする。この検出器は、調整パルスの存在を待つ。調整パルスを受け取ると、入力検出器38-2が、有効データが到着したことを示すコントロール信号を生成する。伝送の終了が検出されると、コントロール信号がリセットされる。直列/並列コンバータ38-3が、入力直列データをレジスタにシフトし、8ビット並列データを適切な時間に並列データバス38-5に出力する。データがプログラミングコネクタ12aに出力されるべきときに、直列/並列コンバータ38-3が、8ビット並列データを直列データに変換するために用いられる。クロック/ビットカウンタ38-6が、直列/並列コンバータ38-3における直列データのシフトを制御し、並列データバス38-5へ又はそこからの並列データの伝送のタイミングを調整する。

【0043】バリディチェック回路38-6'が、入力データのバリディをチェックし、バリディエラーが生じる場合にはエラー信号を生成する。バリディチェック回路38-6'は、補聴器12、14から伝送されるデータに対して正確なバリディビットを与える。コーダ回路38-7が、直列出力データストリームを、プログラミングコネクタ12a及びコイル22'に与える。コーダ38-7は、プログラミングコネクタ12aに伝送される各ゼロビットに対する短いパルスと、各1ビットに対する長いパルスとを生成する。モジュレータ38-8は、コーダ回路38-7からデータ信号を受け取り、これらの信号を用いて、50kHz搬送波を変調する。この変調された信号は、ワイヤレス伝送をもたらす同調コイル22'を駆動するために用いられる。

【0044】アンテナスイッチ38-9が、受信および送信モードの間でコイル22'をスイッチする。受信モードにおいて、それは、コイルブリアンプ22aに結合される。送信モードにおいて、それはブリアンプから結合を外されて、モジュレータ38-8に結合する。IDコントロール回路38-10は、入力伝送の最初のバイト(IDバイト)を、記憶されたIDバイト識別子と比較する。このIDバイトが適合しない場合には、信号が、直列インタフェースをリセットし、以下の伝送を無視するために与えられる。コマンドラッチ38-12が、入力伝送の第2バイト(コマンドバイト)をラッチする。このコマンドバイトは、以下のコマンドビットからなる。

PWDN 補聴器をパワーダウンして、実際に使用していないときに電力を保存するコマンド

VUP 補聴器のボリューム設定を大きくするコマンド

VDN 補聴器のボリューム設定を小さくするコマンド

RD 直列ポートを介して送り出される後続のバイトにより、補聴器の現在の設定を表すパラメータを読み出すコマンド

10 WRT 直列ポートを介して送り込まれる後続のバイトにより、補聴器の新しい設定を表すパラメータを補聴器に書き込むコマンド

RCL パラメータメモリの不揮発性部からパラメータをワーキング部に再呼び出しして、これらのパラメータを現在の補聴器の設定にするコマンド

STO パラメータメモリのワーキング部にあるパラメータを不揮発性部に記憶するコマンド

PRG 記憶されたコントロールプログラムA又はコントロールプログラムBを選択するコマンド

20 バイトカウンタ38-14が、入力バイトシーケンスを識別し、メモリアクセスのアドレスを生成する。インタフェースコントロール回路38-16は、受け取られたコマンドに応答して別のエレメントの動作を制御する。

【0045】マイクロホン/電話回路38-18は、リモートコントロールから受け取ったコマンド又はオプションの補聴器取り付けM/Tスイッチからの入力に基づいて、マイクロホン又は電話コイル選択を制御する。これはさらに、パワーダウンコマンドを受け取ったとき、又はマイクロホン及び電話のいずれかが選択されないときに、パワーダウン機能を制御する。ボリュームコントロールモジュール38-20は、リモートコントロール又はオプションの補聴器取り付けボリュームコントロールから受け取ったコマンドに基づいてボリュームコントロール設定情報を提供する。プログラム選択回路38-22は、予め記憶されているコントロールプログラムA又はプログラムBのいずれかの選択を可能とする。この選択は、例えばコネクタ12a又はコイル22'から受け取られたコマンドに応答する。代わりに、補聴器12、14のハウジングに取り付けられたオプションのスイッチが、予め記憶されたプログラムの1つを選択するために用いられることができる。

【0046】図9に関して、リモートコントロールユニット16が以下のエレメントを備える。マイクロプロセッサ、プログラムメモリ、データメモリ、タイマ及び入力/出力ポートを含んだマイクロコントローラ60。直列EEPROMユニット62が、パラメータ集合(補聴器プログラムおよび識別データ)の記憶および検索のためにマイクロコントローラに結合される。マイクロコントローラにコマンドを入力するためのキーボード60

50 a。LEDディスプレイ60bは、マイクロコントロー

ラにより駆動され、データ伝送およびバッテリー状態を表示する。ドライバ64a、64bが、マイクロコントローラ60の出力ポートに結合され、効率よく直角位相で伝送コイルを駆動する。

【0047】直角方向の2つの同調伝送コイル66a、66bが、ドライバ64a、64bによって直角位相で駆動される。プログラミングポート68が、プログラミングインタフェース18と双方向直列通信するために設けられる。ポート68がコネクタ16aを備える。また、これは電圧トランスレータ68aを備え、プログラ

ミングポートとマイクロコントローラの間の電圧レベルを変換する。バッテリー70aが電子機器に電力を供給する。低電圧検出器70bは、バッテリーの寿命が終わりに近づいていることを検知する。プログラミングインタフェース18が、コンピュータと、補聴器又はリモートコントロールユニットの間のデータ伝送を提供する。図10は、プログラミングプラグ18b、18cを伴うインタフェース80のブロック図である。図11は、ワイヤレスインタフェース82のブロック図である。

【0048】インタフェース80において、コネクタ80aがパーソナルコンピュータ18aの並列ポートに接続する。これは、プリンタのような並列データ装置が並列ポートに接続されることを可能にする。コントロールロジック80bは、いつ並列ポートが並列データ装置を制御するべきか、及びそれがいつプログラミングインタフェースを制御するべきかを検知する。コントロールロジックはまた、データがコンピュータによりいつ送り出されているか、及びデータがいつ受け取られて、適切な信号バスを選択するかを検知する。補聴器又はリモートコントロールユニットに、又はそこからプログラミング

ケーブルを介してデータを送信又は受信するシステムが、オプトアイソレータ84a、84bと、プログラミングポートの電圧レベルとコントロールロジックのレベルとを変換するための電圧トランスレータ86a、86bを備える。

【0049】1つ以上のプログラミングコネクタ18b、18cの各々が、双方向データライン、グラウンドライン、絶縁された電圧供給部すなわちバッテリーに接続された供給電圧ラインを有する。代わりに、僅かな電力のみが必要なときには、並列ポートのデータラインから電力を引き出すことによってパワー供給を行なうことができる。絶縁された供給電圧を提供する回路88が、発振器88a、変圧器88b、整流器88c、及び電圧調整

器88dを提供する。補聴器にコマンド及びプログラムをワイヤレス伝送するシステム82が以下のエレメントを備える。搬送波発振器92がコントロールロジック92aからの信号によってゲートでコントロールされ、直角位相の2つの変調搬送波を高効率ドライバ94a、94bに生成する。

【0050】ドライバ94a、94bは、直角向きの同調伝送コイル96a、96bを駆動する。補聴器からのデータのワイヤレス受信システムが、以下のエレメントを有する。同調受信コイル98a。このコイル98aは、ケーブルにより接続され、補聴器が付けられている間に補聴器に近づけることができる。受け取った信号に接続する増幅器98b及び検出器98cが、復調信号をコントロールロジック92aに与える。前述したように、多くの変更及び修正が、本発明の精神及び範囲を逸脱することなく実現される。ここで例示した特定の装置に関して限定することは、意図されるべきものではなく、推測されるべきものでもないことを理解されたい。当然のことながら、このような全ての変更は、特許請求の範囲に記載した事項に含まれている。

【図面の簡単な説明】

【図1】本発明によるシステムの全体図である。

【図2】本発明によるデジタル補聴器のブロック図である。

【図3】図2の補聴器に使用可能な電子システムのブロック図である。

【図4】本発明によるアナログ-デジタルコンバータのブロック図である。

【図5】本発明による音響信号バスに対するデジタル信号プロセッサのブロック図である。

【図6】本発明によるデジタル-アナログコンバータのブロック図である。

【図7】本発明によるコントロールユニットのブロック図である。

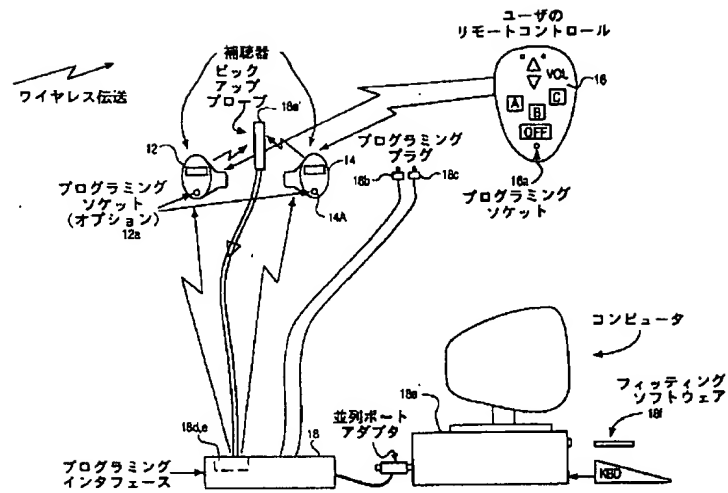
【図8】本発明によるインタフェースシステムのブロック図である。

【図9】本発明によるリモートコントロールユニットのブロック図である。

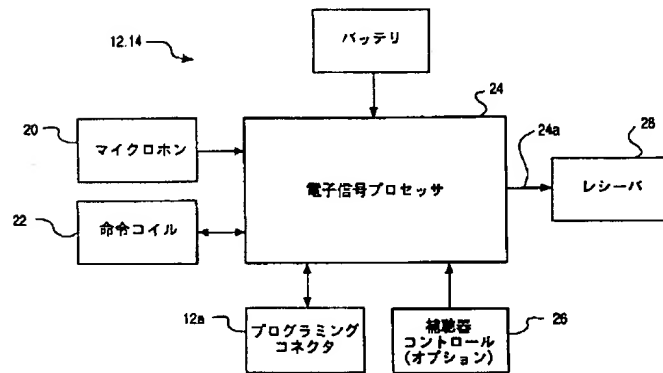
【図10】本発明によるワイヤドプログラミングインタフェースのブロック図である。

【図11】本発明によるワイヤレスプログラミングインタフェースのブロック図である。

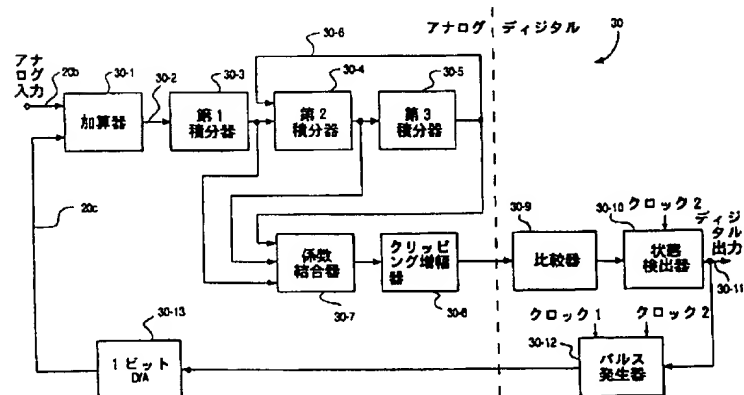
【図1】



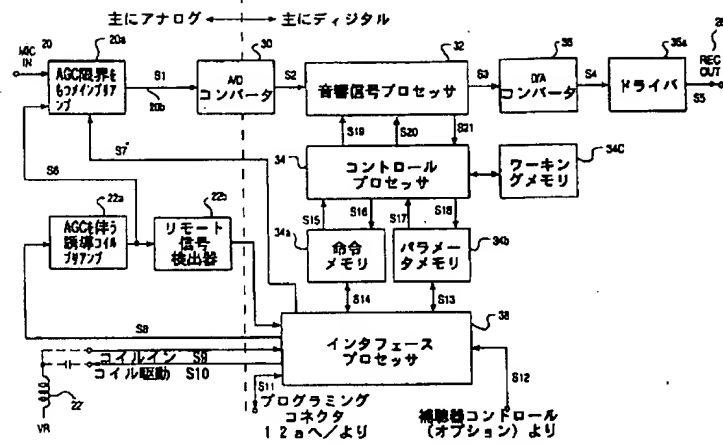
【図2】



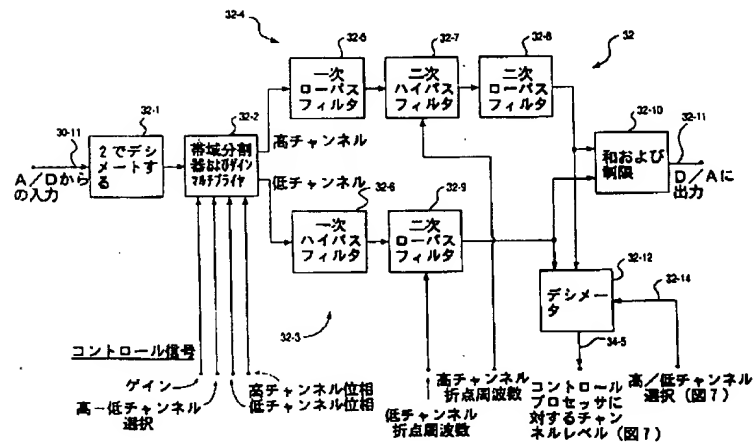
【図4】



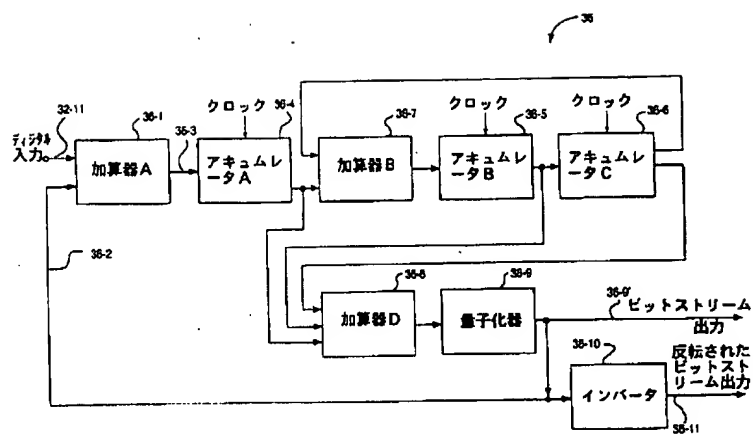
【図3】



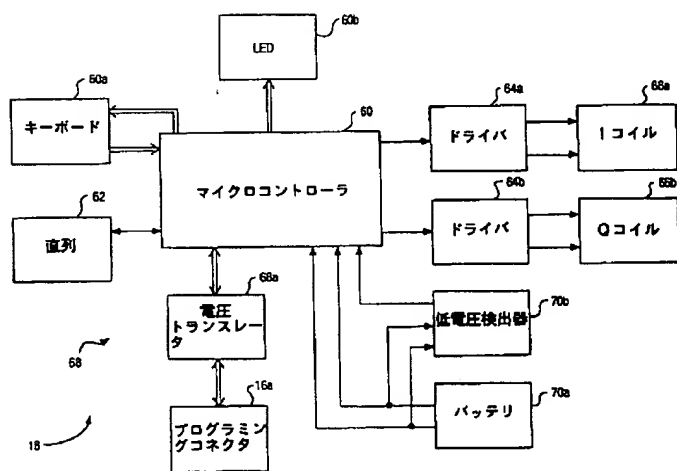
【図5】



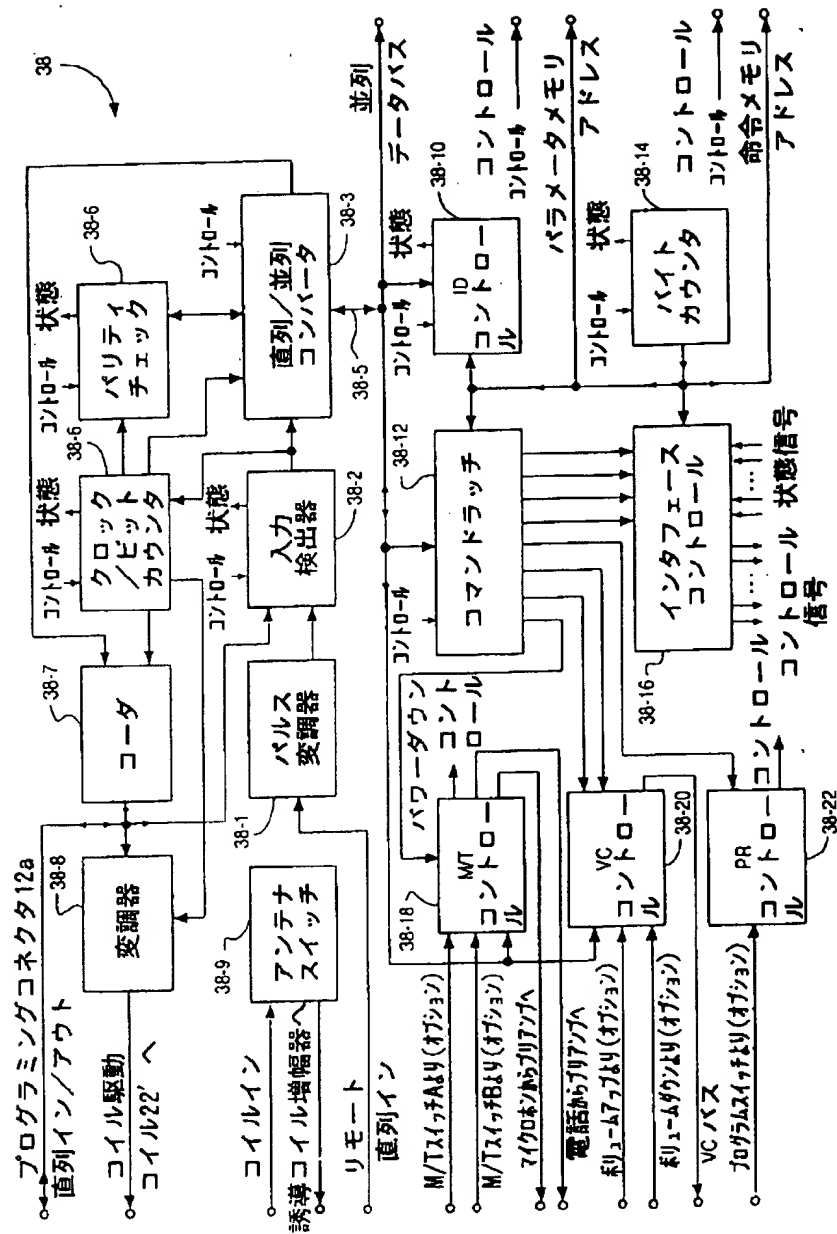
【図6】



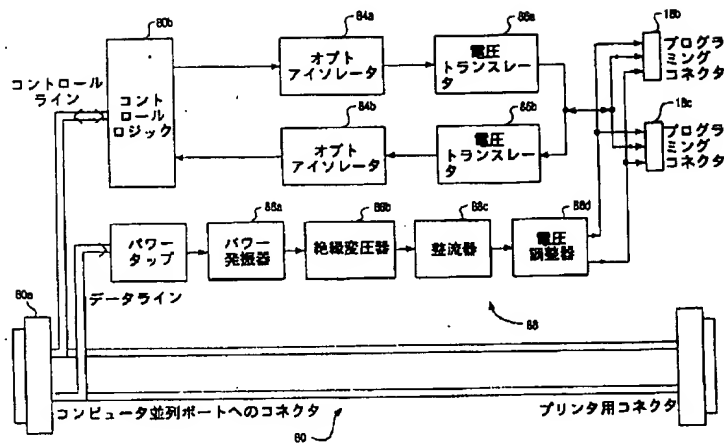
【図9】



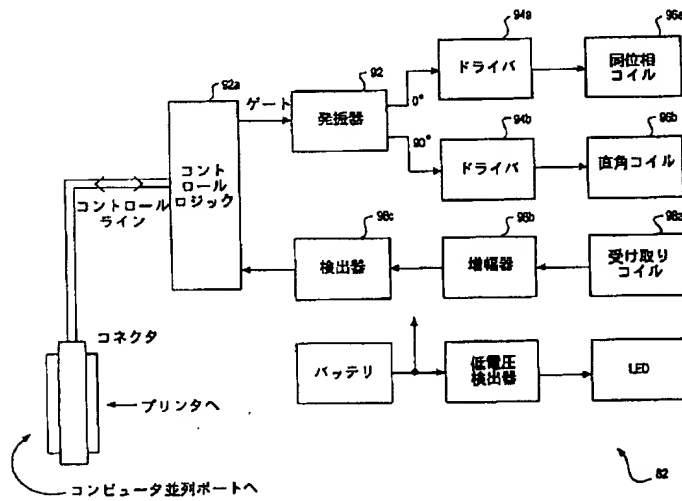
【図8】



【図10】



【図11】



【外国語明細書】

DIGITAL HEARING AID SYSTEMField of the Invention:

The invention pertains to electronic hearing aids. More particularly, the invention pertains to hearing aids which incorporate digital signal processors for processing and amplifying incident acoustic waves as well as equipment for programming such hearing aids.

Background of the Invention:

Known forms of electronic hearing aids incorporate circuitry for the purpose of processing and amplifying an incident acoustic wave. The nature of the processing and the degree of amplification that is appropriate varies widely from one individual to another.

There has been and continues to be an ongoing need for electronic systems and hearing aids which in addition to providing appropriate levels of gain and/or other processing provide for ready modification of processing characteristics so that standardized circuitry can be used to meet the needs of a wide variety of users. Additionally, the auditory characteristics of any given individual vary over a period of time and it would be particularly useful to be able to alter processing characteristics or parameters thereof after delivery and use of the hearing aid as experience is gained with it. It would also be desirable to rapidly and directly compare the effects of such modifications.

It would be especially beneficial if such processing characteristics and related parameters could be modified in real-time while the hearing aid is actually in use so as to maximize the beneficial effects for the actual user. Further, it would be desirable to be able to incorporate the benefits of digital signal

- 2 -

processing which can be carried out at relatively high rates on the one hand with control methods or algorithms which might allow processing at a lower rate so as to achieve a more optimum result for the user.

Further, it would be desirable to be able to carry out the complex calculations necessary for signal processing without having to make extensive use of multiplication and division operations which tend to take longer than simpler operations such as addition or subtraction. Finally, there continues to be a need to carry out signal processing which will increase the intelligibility of speech relative to noise which is always present in the environment.

Summary of the Invention:

In accordance with the present invention, an input transducer which converts an incident audio wave to an electrical signal is combined with an analog-to-digital converter, a digital signal processor, a control unit coupled to the digital signal processor and an output transducer which carries out a low-pass filter function simultaneously with generating an audible output wave. The digital signal processor incorporates a low-pass digital filter in combination with a high-pass digital filter. The filters, in one aspect of the invention, include one or more programmable corner frequencies.

Digitized outputs from the filters are combined in a summing stage. an output signal from the summing stage is converted to an analog form in a digital-to-analog converter and used to drive an output transducer which also carries out a low-frequency filtering operation.

In another aspect of the invention, a sigma-delta analog-to-digital converter is coupled between the input transducer and the digital signal processor. A decimation circuit can be coupled between the output

- 3 -

of the converter and inputs to the signal paths of the dual digital filters.

In yet another aspect of the invention, gain control can be accomplished in the signal path by multiplying a digital multi-bit gain control signal by a one or two bit representation of the digitized input signal, where there is no decimation circuitry. Alternately, multiplication can be by a three to four bit representation of the digital input signal in the case of a circuit which carries out a decimation function by a factor of 2.

In yet another aspect of the invention, the digital filters can be operated at high oversampling rates and can provide adjustable characteristic frequencies determined by filter coefficients which are binary based. The use of binary based filter coefficients eliminates any need for multipliers. Multiplication can be carried out by using shift operations. These could be implemented using multiplexer circuits for variable multiplications and hard wired offsets for fixed multiplications.

In yet another aspect of the invention, the output digital-to-analog converter can be implemented without needing any additional filters beyond the low-pass characteristic of the output transducer.

In yet another aspect of the invention, signal amplitudes which have been digitized can be converted to logarithmic form. In logarithmic form, additions and subtractions replace multiplications and divisions. Multiplication steps can be used to approximate exponential functions.

In yet another aspect of the invention, circuit simplicity is promoted by use of a piecewise linear approximation to a logarithmic function. After processing, the resulting signals are converted back to

- 4 -

a linear domain using a piecewise linear approximation to an exponential function.

By translating various of the control signals to a logarithmic representation, not only is circuit complexity reduced, but the logarithmic domain readily supports a wide dynamic range very efficiently. As a result, dual input compression systems, dual output compression systems and a noise reduction system can be provided for each of the frequency bands and can be independently adjustable.

In yet another aspect of the invention, the hearing aid can include a programmable processor wherein control instructions can be stored in nonvolatile instruction memory when the unit is manufactured. This allows units to be built with different sets of instructions implementing different signal processing algorithms.

In yet another aspect of the invention, one or more interfaces can be provided to enable the control unit to communicate with external circuitry. In one aspect, the interface can be directly coupled to an external programming apparatus for the purpose of reading out the values of parameters stored within the hearing aid and for adjusting parameters.

In yet another aspect of the invention, a remote control unit can be provided. Such a unit could transmit a modulated RF carrier which could be detected by the interface of the hearing aid. Such an arrangement would make it possible to remotely control parameters of the aid so as to optimize performance thereof in view of the individual characteristics of a user and of the specific listening situation.

The remote control unit can be coupled with a computer for the purpose of adjusting each of a number of sets of parameters stored within the remote control unit.

- 5 -

Further, in accordance with the yet another aspect of the invention, a plurality of parameters are field programmable for each of the channels of the digital signal processor. Such parameters can be established or modified based on user characteristics as a result of being field programmable. As user characteristics vary over time, the parameters may be readily altered to take such variations into account.

A digital hearing aid in accordance with another aspect of the invention incorporates a sigma-delta A/D converter with either no decimation or with decimation by a factor of 2. This reduces substantially the amount of digital signal processing needed for decimation filtering.

Further, using a sigma-delta A/D converter in which pulse width modulation (return-to-zero coding) is used in the digital feedback path eliminates the problem of inaccuracy and noise caused by unequal rise and fall times.

Gain control can be accomplished by multiplying a digital multibit gain control signal by a 1 or 2 bit representation of the digital input signal (in the case of no decimation) or by a 3 or 4 bit representation of the digital input signal (in the case of decimation by a factor of 2). This reduces substantially the complexity of the multiplier.

Using infinite impulse response (IIR) digital filters designed to operate at high oversampling rates and providing adjustable characteristic frequencies determined by filter coefficients that have values of 2^{-n} , where n is an integer eliminates the need for multipliers, since the coefficients can be implemented as digital shifts.

Using a sigma-delta D/A converter to produce an output bit stream with no signal reconstruction filter, relying on the low pass characteristic of the

- 6 -

output transducer to filter out high frequency components and relying on the inductive impedance of the output transducer to achieve high efficiency eliminates the need for a reconstruction filter and provides a highly efficient output drive to a magnetic transducer.

A digital hearing aid in accordance with yet another aspect of the invention uses a digitally rectified, filtered, and decimated version of the output signal in each frequency band to represent the signal amplitude in that band. Digital implementation of these functions is accurate and efficient and requires no off-chip components. Decimation to a low sampling rate allows the control path to operate at a much reduced computation rate.

Converting signal amplitude to a logarithmic domain using a piecewise linear approximation to a logarithmic function and then, after processing these signals using a control algorithm, converting the resulting control signals back to the linear domain using a piecewise linear approximation to an exponential function reduces hardware requirements. Multiplications and divisions are replaced by additions and subtractions and exponentials are replaced by rudimentary multiplications, greatly reducing circuit complexity. Also, the logarithmic domain expresses a wide dynamic range very efficiently. This allows providing enough capability to provide a dual input compression system, a dual output compression system, and a noise reduction system, with each of these independently adjustable for each of two frequency bands.

A control processor that concurrently performs the operations of selection of two input operands, multiplication or shift, addition or subtraction or conditional selection, and output storage allows more processing per cycle than consecutive operation.

- 7 -

Implementing a control algorithm using instructions programmed into a non-volatile instruction memory at the time of manufacture of the hearing aid permits rapid implementation of corrections or improvements in the control algorithm.

A hearing aid with a digital serial interface in accordance with the present invention can use pulse width modulation (return-to-zero coding) for the transmitted data. As a result, the transmitted signal is self clocking so that a separate clock line is not needed and timing is not critical. Also, since only a single signal line is used, it is readily adaptable to wireless communication.

A hearing aid that uses a serial interface can provide some or all of the following functions:

- a) Programming hearing aid signal processing parameters
- b) Reading out parameters from the hearing aid
- c) Remote control of the signal processing parameters and other control settings, such as volume control
- d) Programming the instruction memory
- e) Reading out the instruction memory

Using a single interface for these functions reduces cost and complexity.

A hearing aid with a serial interface that includes an antenna switch and a carrier modulator so that the same tuned coil can be used as both a receive and transmit antenna. This permits wireless transmission in both directions, eliminating the need for a programming connector. A single tuned coil antenna, saves cost and space. 50kHz pulse width modulation transfers a binary bit stream.

A remote control for a hearing aid that embodies the present invention can use pulse width modulation of a 50kHz induction field (RF) carrier for

- 8 -

data transmission. The carrier frequency is well beyond the audio band to minimize audible interference, but still below allocated frequencies. The induction field is not subject to body shadow effects and allows control of both hearing aids in a binaural fitting from the same remote control location. Pulse modulation allows highly efficient output stage.

A remote control for a hearing aid that embodies the present invention can use two transmitting coils in space quadrature, driven with carriers in phase quadrature. This minimizes nulls in the pickup pattern of the transmitted signal.

In a further aspect of the invention, a remote control for a hearing aid can use a conditioning pulse and a transmitted identification number to signal a valid transmission for the hearing aid being controlled. This minimizes false actuation or actuation by another user and permits independent control of both hearing aids of a binaural pair.

A remote control that uses tuned coils driven by a bridge type output in a switching mode provides high transmitter efficiency.

In a further aspect of the invention, a remote control having a programming connector enables a computer to program multiple memories in the remote control and that also enables a computer to program memories in the hearing aid using wireless transmission from the remote control to the hearing aid. Hence, wireless programming of the hearing aid can be effected using the modulator and transmitter already existing in the remote control.

In a further aspect of the invention, a hearing aid with a remote control that uses the same induction coil for receiving the remote control signal and for telephone induction pickup and induction loop pick up has reduced space requirements and cost. This

- 9 -

remote control uses the same low frequency RF transmission for both the phone and remote control scheme. Both uses the same coil in and out.

A hearing aid for use with this remote control uses AGC acting on the tuned receiver coil to control the sensitivity for the remote control signal while not affecting sensitivity for audio frequency induction signals. This reduces audible interference from the remote control.

In a further aspect of the invention, a computer interface permits programming hearing aids or remote controls that uses a computer parallel port to supply power for the interface and to provide bidirectional communication. This eliminates the size, cost, and inconvenience of a separate power supply. The computer software is able to control the signal switching pattern. Such a computer interface makes it possible to program hearing aids or remote controls by use of a transformer to transmit power to the interface and optocouplers to transmit signals to and from the interface. This provides electrical isolation needed to meet safety requirements.

A hearing aid in accordance with the present invention can incorporate a signal-processing algorithm in which numerous parameters are field programmable over selected ranges in each of two channels. These include:
Full-on Gain: 48 dB range in 3 dB increments.
Corner Frequency: 500, 707, 1000, 1414, 2000, 2828, or 4000 Hz. Phase: In phase or out of phase.

Primary Output AGC System

Limiting Level: 48 dB range in 3 dB increments.

Release Time: 2 to 8192 msec in powers of 2.

Secondary Output AGC System

Limiting Level: 48 dB range in 3 dB increments.

- 10 -

Release Time: 2 to 8192 msec in powers of 2.

Primary Input AGC System

Threshold Level: 48 dB range in 3 dB increments.

Compression Ratio: 1.14, 1.33, 1.6, 2.67, 4, or 8.

Attack Time: 2 to 8192 msec in powers of 2.

Release Time: 2 to 8192 msec in powers of 2.

Secondary Input AGC System

Threshold Level: 48 dB range in 3 dB increments.

Compression Ratio: 1.14, 1.33, 1.6, 2.67, 4, or 8.

Attack Time: 2 to 8192 msec in powers of 2.

Release Time: 2 to 8192 msec in powers of 2.

Noise Reduction System

Threshold Level: 48 dB range in 3 dB increments.

Attack Time: 2 to 8192 msec in powers of 2.

The following parameters may be programmed at the time of hearing aid manufacture over various ranges in each of two channels.

Primary Output AGC System

Attack Time: 2 to 8192 msec in powers of 2.

Secondary Output AGC System

Attack Time: 2 to 8192 msec in powers of 2.

Noise Reduction System

Release Time: 2 to 8192 msec in powers of 2.

A fitting system can be provided that uses a fitting algorithm to select hearing aid parameters based on the factors of abnormal growth of loudness, widening of critical bands, abnormal upward spread of masking, and binaural vs. monaural fitting.

These and other aspects and attributes of the present invention will be discussed with reference to the following drawings and-accompanying specification.

- 11 -

Brief Description of the Drawing:

Fig. 1 is an overall diagram of a system in accordance with the present invention;

Fig. 2 is a block diagram of a digital hearing aid in accordance with the present invention;

Fig. 3 is a block diagram of an electronic system usable with the hearing aid of Fig. 2;

Fig. 4 is block diagram of an analog-to--digital converter in accordance with the present invention;

Fig. 5 is a block diagram of a digital signal processor for the audio signal path in accordance with the present invention;

Fig. 6 is a block diagram of a digital-to--analog converter in accordance with the present invention;

Fig. 7 is a block diagram of a control unit in accordance with the present invention;

Fig. 8 is a block diagram of an interface system in accordance with the present invention;

Fig. 9 is a block diagram of a remote control unit in accordance with the present invention;

Fig. 10A is a block diagram of a wired programming interface in accordance with the present invention; and

Fig. 10B is a block diagram of a wireless programming interface in accordance with the present invention.

Detailed Description of the Preferred Embodiment:

While this invention is susceptible of embodiment in many different forms, there is shown in the drawing, and will be described herein in detail, specific embodiments thereof with the understanding that the present disclosure is to be considered as an exemplification of the principles of the invention and

- 12 -

is not intended to limit the invention to the specific embodiments illustrated.

A digital hearing aid system 10 of Fig. 1 contains digital hearing aids 12, 14 (binaural fitting) or a single digital hearing aid 12 or 14 (monaural fitting) worn by the user. The hearing aids 12, 14 are optionally equipped with programming sockets 12a, 14a to allow the hearing aid characteristics to be programmed for the individual user.

A remote control unit 16 carried by the user to control the operation of the hearing aid(s) 12, 14. The unit 16 is capable of transmitting, via radiant electromagnetic energy R, user-selected commands and parameter sets to the hearing aid(s) 12, 14 to adjust the hearing aids characteristics for various listening environments. The remote control unit 16 is equipped with a programming socket 16a to allow entering and storing a number of user-selectable programs or parameter values.

A programming interface 18 is coupled to a personal computer 18a. Programming cords and plugs 18b, c provide the electrical signals needed to program the hearing aid(s) 12, 14 and remote control unit 16.

Alternately, the hearing aids 12, 14 are equipped with a wireless transmitter 18d and receiver 18e. The hearing aids 12, 14 can thus be remotely programmed or controlled. In addition, pickup 18e' can detect previously stored programs or data being read back to receiver 18e.

A fitting program 18f can be run on the personal computer 18a to accept audiological data for the user, to determine the appropriate characteristics of the hearing aid(s) 12, 14 for that user, and to provide the appropriate data to the programming interface 18. The fitting program 18f can also provide

- 13 -

other functions, such as storage and retrieval of user specific data.

The hearing aid system 10 may be provided in various forms. For example, the hearing aid(s) 12, 14 may be behind-the-ear (BTE), in-the-ear (ITE), or in-the-canal type. Also the system 10 may be configured without the remote control unit 16, using a limited set of hearing aid mounted controls instead. The system 10 may even be configured with no user operated control other than an on/off switch.

Fig. 2 illustrates a block diagram for a hearing aid such as the aid(s) 12, 14.

The digital hearing aid(s) 12, 14 of Fig. 2 each contain a microphone 20 to receive acoustic signals in the audio frequency band. An inductive pickup coil 22 serves multiple a dual purposes.

The coil 22 receives magnetic field signals in the audio frequency band from a telephone receiver or a transmitting induction loop. It can also receive remote control signals encoded on a transmitted or radiated electromagnetic carrier whose frequency is above the audio band. It can also be used to receive programming signals from transmitter 18d or to transmit programs or information to receiver 18e. For a hearing aid without an induction pickup option and without remote control and wireless options, the induction coil 22 is not needed.

The connector 12a can optionally be provided for bidirectional transfer of encoded programming signals. Transfer can be in serial or parallel.

An electronic signal processor 24 receives the above signals together with control signals from optional hearing aid mounted controls 26 and provides an electrical output signal at an output port 24a. A receiver 28 converts this electrical output signal to an acoustic output signal.

- 14 -

A battery provides power for the electronic signal processor 24.

The electronic signal processor 24 is illustrated in block diagram form in Fig. 3. The following table further explains the nature of the signals S1 to S21 shown in Figure 3.

S1	Analog - audio freq.
S2	1 bit 400 KHz
S3	13 bits 400 KHz
S4	2 bits 400 KHz
S5	2 line output, audio with 400 KHz carrier
S6	analog - audio freq.
S7	control signals
S8	analog
S9	analog
S10	modulated 50 KHz carrier
S11	1 bit digital serial data
S12	control lines
S13	address; data; control
S14	address; data; control
S15	data 24 bits
S16	address bits
S17	8 bit data
S18	address bits
S19	9 bits parallel two interleaved 12.5 Kbit signals
S20	10 bits control signals
S21	9 bits parallel two interleaved 12.5 Kbit rate signals

The processor 24 contains an induction coil preamplifier 22a to amplify the audio frequency signals and the remote control signals detected by the induction coil 22. Automatic gain control (AGC), is included to control the output level of the remote control signal.

- 15 -

A remote control signal detector 22b is coupled to the preamplifier 22a to recover the modulating signal from the carrier signal detected by coil 22.

A preamplifier 20a is provided to amplify the signal from the microphone 20 and/or the output signal from the induction coil preamplifier 22a. AGC limiting is included to prevent overloading by high input signal levels.

An analog-to-digital converter 30 is provided to convert the analog output of the preamplifier 20a to a digital form. The A/D converter 30 is based on sigma-delta modulation of the type described in Oversampling Delta-Sigma Data Converters, Candy and Temes Ed., IEEE Press 1992.

A digital signal processor 32 for the audio path is provided to process the signals received from the A/D converter 30. The signals are split into low and high frequency bands or channels with adjustable corner frequencies in the processor 32. The gain, phase, and corner frequency of each channel are controlled by signals from a control processor 34. The signals from the two channels are then recombined.

A digital-to-analog converter 36 is provided to convert the digital output signal stream from the audio signal processor 32 into a bit stream from which analog information, corresponding to the original acoustic input, can be recovered by low-pass filtering. This filtering occurs in the output transducer 28, the receiver for the aid 12.

An output driver 36a drives the output transducer 28 (a magnetic receiver for example) in a switching type configuration. This arrangement provides high power conversion efficiency.

The digital signal processor 34 for the control path 34 receives signals from the outputs of the

- 16 -

two frequency channels of the audio signal processor 32 (best seen in Fig. 5) and produces control signals to provide real-time control the gain of each channel. It also provides signals to control the corner frequency and phase of each channel.

An instruction memory 34a coupled to the processor 34 provides instructions to the processor 34 to implement a control method. It will be understood that one of the advantages of the signal processor of Fig. 3 is that different control methods can be provided for different hearing deficiencies. Further, the method can be altered over time to take into account changes in a particular deficiency.

Instructions can be loaded into the instruction memory 34 at the time of manufacture, or later if desired, via an interface processor 38. The memory 34a could be a non-volatile semiconductor memory.

A parameter memory 34b provides control parameters to the control processor 34 to tailor the hearing aid characteristics to the hearing loss and needs of the hearing aid user. The parameter memory 34b preferably includes a volatile memory and a shadow non-volatile memory.

Parameters may be loaded into the parameter memory 34b via the remote control unit 16, the wireless programmer 18 or the programming connector, such as connector 12a and may be read from the parameter memory 34b via the wireless interface of the programming connector. Parameters can be transferred from the non-volatile portion of parameter memory 34b to the volatile portion when the hearing aid is turned on and may be transferred back and forth between these two memory types via commands from the remote control 16, the transmitter 18d or programming connector such as connector 12a. The parameter memory 34b also stores hearing aid identification data.

- 17 -

A working memory 34c provides temporary storage for the working variables of the control processor 34.

The interface processor 38 controls parallel or serial transmission or reception via input/output devices. These include the programming connector 12a or the remote control coil 22. When transmitting, serial data, for example, is provided, at connector 12a. Simultaneously the same signal is modulated and coupled to the coil 22'.

The processor 38 also receives inputs from optional hearing aid mounted controls. The processor 38 provides control signals to the preamplifier 20a for selection of microphone and/or induction coil inputs.

In addition various support functions are provided, such as voltage regulation, clock generation, and power-down functions. These functions are all a type well known to those of skill in the art and as a result, are not addressed further.

The electronic signal processor 24 can be partitioned into functions that are primarily analog and functions that are primarily digital in nature, as illustrated in Figure 3. The analog and digital functions can be integrated on separate chips to minimize the effects of digital noise on low level analog functions.

The A/D converter 30 illustrated in block diagram form in Fig. 4 contains an analog summer 30-1 to add the analog input signal on the line 20b and an inverted feedback signal on a line 20c, producing an error signal on a line 30-2. First, second, and third analog integrators 30-3 to 30-5, in tandem, successively integrate the error signal. A feedback path 30-6 from the output of the third integrator 30-5 to the input of the second integrator 30-4 produces a zero in the transfer function at about 6000 Hz.

- 18 -

A coefficient combiner 30-7 that provides a weighted sum of the analog outputs of the three integrators 30-3 to 30-5, provides a frequency weighted representation of the error signal. An analog clipping amplifier 30-8 amplifies the combined signal to a suitable level.

A comparator 30-9 converts the amplified signal to a two-level (on/off) signal. A state detector 30-10 samples and latches the state of the comparator output at integer intervals of a clock (such as a 400 kHz rate). The output of the state detector 30-10 is the digital output of the A/D converter on a line 30-11.

A pulse generator 30-12, produces a digital feedback signal consisting of a short pulse when the digital output is a logic zero and a long pulse when the digital output is a logic one. A one-bit D/A converter 30-13 inverts the digital feedback signal and converts it to an analog feedback on the line 20c with controlled signal levels.

The audio signal processor 32 is illustrated in block diagram form in Figure 5. It contains a decimation stage 32-1 with a decimation filter and a decimeter that discards excess samples. For decimation by 2, the transfer function of the decimation filter is

$$(1+Z^{-1})(1+Z^{-1})(1+Z^{-1})/8$$

and every other sample is discarded, reducing a 400 kHz sample rate to 200 kHz.

The audio signal processor 32 may be implemented without a decimation stage, but then subsequent digital filter stages must operate at twice the sample rate, reducing the possibilities of multiplexing filter elements.

A band splitter and gain multiplier 32-2 multiplies the digital input by low-channel gain and phase values to provide an input to a low frequency channel filter 32-3, and multiplies the digital input by

- 19 -

high-channel gain and phase values to provide the input to a high frequency channel filter 32-4.

The high-channel filter 32-4 includes the following stages in series:

A first-order low-pass digital filter 32-5 with a corner frequency of 4000 Hz. This filter is implemented with adders and clocked registers and is multiplexed with a first order filter 32-6 in the low channel.

A second-order high-pass digital filter 32-7 with a Q of .707 has a programmable corner frequency. This filter is implemented with multiplexed adders and clocked registers.

A second-order low-pass digital filter 32-8 with a Q of 1.414 has a corner frequency of 5656 Hz. The purpose of this filter is to reduce the level of high frequency quantization noise. It is implemented with multiplexed adders and clocked registers.

The low channel filter 32-3 includes the following stages in series:

The first-order high-pass digital filter 32-6 with a corner frequency of 125 Hz. This filter is multiplexed with the first-order filter 32-5 in the high channel 32-4.

A second-order low-pass digital filter 32-9 with a Q of .707 and a programmable corner frequency. This filter is implemented with multiplexed adders and clocked registers.

A sum and limit stage 32-10 limits the signal range of the digital inputs from the high and low channels, adds them, and then again limits the range of the summed signal on a line 32-11. The result is the output signal from the audio signal processor 32.

A decimeter 32-12 decimates the outputs of both the high channel filter 32-4 and the low channel filter 32-3 by a factor of 16 to a sample rate of 12,500

- 20 -

samples/sec. Each decimation filter consists of a 16 sample sum and dump (sinc filter). The resulting high and low channel output signals are time multiplexed onto a single output bus 34-5.

The D/A converter 36 is illustrated in Fig. 6. It includes an adder 36-1 that combines the digital input signal on the line 32-11 with an inverted two-valued digital feedback signal on a line 36-2 to produce an error signal on a line 36-3.

First, second, and third accumulators or registers 36-4 to 36-6 in series, successively accumulate the error signal.

An adder 36-7 is provided between the first and second accumulators 36-4 and 36-5 for injecting a feedback signal from the third accumulator 36-6 to introduce a transfer function zero at 5.6 kHz.

An adder 36-8 provides a weighted sum of the digital outputs of the three accumulators 36-4 to 36-6, providing a frequency weighted representation of the error signal.

A quantizer 36-9 provides a two-valued (one-bit) digital output from the multi-bit frequency weighted error signal on a line 36-9'. This is the first output of the D/A converter.

An inverter 36-10 receives the first output and produces a second, inverted, output of the A/D converter on a line 36-11.

The control processor 34 is illustrated in Fig. 7. It contains an instruction decoder 34-1 that receives instructions from the instruction memory 34a and status signals from various elements in the control processor. It provides signals to control the operation of the various processing elements and input and output selectors as well as to control read operations from the parameter memory 34b. It also controls read and write operations to the variable memory 34c.

- 21 -

A program counter 34-2 controls the sequencing of instructions from the instruction memory 34a. A pair of general purpose counters 34-3 are available to be loaded, decremented, and tested by software.

A pseudo-logarithmic converter 34-6 produces a piecewise linear approximation to the negative of $\log(\text{base}2)$ of the absolute value of the input. This operation produces a time multiplexed logarithmic representation of the signal magnitudes in the two channels 32-3 and 32-4.

A pseudo-exponential converter 34-8 produces a piecewise linear approximation of $\exp(\text{base } 2)$ of the negative of the input. This converts the time multiplexed logarithmic representation of the gain control signals to linear domain gain multipliers for the two channels 32-3 and 32-4.

A multiplier 34-10 is present in a first or in the "All operand path 34-12 of the control processor 34. It multiplies the A input from "All selector gates 34-14 by a 3 bit multiplicand or by the value 1 received from "M" Selector gates 34-15.

A barrel shifter 34-16 is located in the "A" operand path 34-12 after the multiplier 34-10. The shifter 34-16 left shifts the A operand 0 to 15 bit positions in response to a control input from shift selector gates 34-17.

An arithmetic and logic unit 34-18 (ALU) receives an "All operand from the barrel shifter 34-16 and a "B" operand from a "B" input selector circuit 34-19. It performs the operations of addition (A+B), subtraction (A-B), and tests for the conditions Result=zero and Result<zero.

A conditional selector circuit 34-22 is coupled to the output of ALU 34-18. The selector, which could be implemented with combinational gating, selects either the output of the ALU 34-18 or, in response to

- 22 -

conditional select command from the "B" selector gating 34-19 selects either the "A" operand or the "B" operand depending on the Result <0 output of the ALU.

An accumulator 34-23 stores the output of the conditional selector 34-22 for one instruction cycle. A condition register 34-25 stores the condition test results of the ALU 34-18 for one instruction cycle.

The "A" selector circuitry 34-14 for the "A" operand selects one of the following: a parameter obtained from the parameter memory 34b, the output of the accumulator 34-23, the magnitude signal from the high 32-4 or low 32-3 channel or an immediate operand from the instruction word from the instruction memory 34a. The "A" selector 34-14 supplies the first input to the multiplier 34-10.

The "M" selector circuitry 34-15, the second input to the multiplier 34-10 selects either a parameter obtained from the parameter 34b, an immediate operand from the instruction word from the memory 34a or a multiplier of 1.

The "S" selector circuitry 34-17 for the shift input of the barrel shifter 34-16 selects either a parameter obtained from the parameter memory 34b or an immediate operand obtained from the instruction from the memory 34a or a zero shift command.

The "B" selector circuitry 34-19 for the B operand selects either a variable obtained from the variable memory 34c, the output of the accumulator 34-23, the volume control signal on a line 34-27 or an immediate operand obtained from the instruction word from the memory 34a.

A frequency register 34-29 latches the channel frequency and phase parameters when the first two parameter addresses are accessed.

The interface processor 38 is illustrated in block diagram form in Fig. 8. It contains a pulse

- 23 -

conditioner 38-1 that receives a signal stream from the remote control unit 16 via the remote signal detector coil 22'. The conditioner 38-1 provides envelope detection of this signal stream while also correcting for short spikes and drop outs.

An input detector circuit 38-2 monitors incoming data from both the pulse conditioner 38-1 and the programming connector 12a. The detector waits for the presence of a conditioning pulse. When a conditioning pulse is received, the input detector 38-2 generates a control signal indicating that valid data is arriving. When the end of transmission is detected, the control signal is reset.

A serial/parallel converter 38-3 shifts incoming serial data into a register and outputs 8-bit parallel data to a parallel data bus 38-5 at appropriate times. The serial/parallel converter 38-3 is also used to convert 8-bit parallel data to serial data when data is to be output to the programming connector 12a.

A clock/bit-counter 38-6 controls the shifting of serial data in the serial/parallel converter 38-3 and times the transfer of parallel data to or from the parallel data bus 38-5.

A parity check circuit 38-6' checks the parity of incoming data and generates an error signal if a parity error occurs. The parity check circuit 38-6' also provides the correct parity bit for data transmitted from the hearing aid 12, 14.

A coder circuit 38-7 provides a serial output data stream to programming connector 12a and to coil 22'. The coder 38-7 produces a short pulse for each zero bit to be transmitted out to the programming connector 12a and a long pulse for each one bit.

A modulator 38-8 receives the data signals from coder circuit 38-7 and uses those signals to modulate a 50kHz carrier. This modulated signal is used

- 24 -

to drive the tuned coil 22' providing wireless transmission.

An antenna switch 38-9 switches coil 22' between receive and transmit modes. In the receive mode it is coupled to the coil preamplifier 22a. In the transmit mode it is disconnected from that preamplifier and coupled to the modulator 38-8.

An ID control circuit 38-10 compares the first byte of an incoming transmission (the ID byte) to a stored ID byte identifier. If the ID bytes do not match, a signal is given to reset the serial interface and ignore the following transmission.

A command latch 38-12 latches the second byte of an incoming transmission (the command byte). The command byte consists of the following command bits:

PWDN	command to power-down the hearing aid to conserve power when not in active use.
VUP	command to increase the volume setting of the hearing aid.
VDN	command to decrease the volume setting of the hearing aid.
RD	command to read out, by subsequent bytes sent out via the serial port, the parameters representing the current settings of the hearing aid.
WRT	command to write to the hearing aid, by subsequent bytes sent in via the serial port, the parameters representing a new setting of the hearing aid.
RCL	command to recall parameters from the non-volatile portion of the parameter memory to the working portion, making these parameters the current setting of the hearing aid.
STO	command to store the parameters in the working portion of the parameter memory to the non-volatile portion.

- 25 -

PRG command to select stored control program A or control program B.

A byte counter 38-14 identifies the incoming byte sequence and generates addresses for memory accesses. An interface control circuit 38-16 controls the operation of other elements in response to the commands that have been received.

A microphone/telephone circuit 38-18 controls microphone or telephone coil selection based on commands received from the remote control or inputs from an optional hearing aid mounted M/T switch. It also controls a power-down function when a power-down command is received or if neither microphone nor telephone are selected.

A volume control module 38-20 provides volume control setting information based on commands received from the remote control or from an optional hearing aid mounted volume control.

A program select circuit 38-22 permits the selection of either pre-stored control program A or program B. This selection is in response to commands received from the connector, such as 12a or the coil 22'. Alternately, an optional switch mounted on the housing of the hearing aid 12, 14 can be used to select one of the pre-stored programs.

With respect to Fig. 9, the remote control unit 16 includes the following elements:

A microcontroller 60 containing a microprocessor, program memory, data memory, timer, and input/output ports.

A serial EEPROM unit 62 is connected to the microcontroller 60 for storage and retrieval of parameter sets (hearing aid programs and identification data). A keyboard 60a for entry of commands to the microcontroller. An LED display 60b is driven by the

- 26 -

microcontroller to indicate data transmission and battery status.

Drivers 64a, 64b are connected to output ports of the microcontroller 60 to drive transmitting coils in phase quadrature with high efficiency.

Two tuned transmitting coils 66a, 66b in orthogonal orientation, are driven in phase quadrature by drivers 64a, 64b..

A programming port 68 is provided for bi-directional serial communication with the programming interface 18. The port 68 includes the connector 16a. It also includes voltage translators 68a to convert voltage levels between the programming port and the microcontroller.

A battery 70a is provided to power the electronics.

A low-voltage detector 70b senses when the battery is nearing end of life.

The programming interface 18 provides for data transmission between a computer and a hearing aid or remote control unit. Fig. 10A is a block diagram of an interface 80 with programming plugs 18b, 18c. Fig. 10B is a block diagram of a wireless interface 82.

In the interface 80, a connector 80a mates with the parallel port of the personal computer 18a. That also allows a parallel data device such as a printer to be connected to the parallel port. Control logic 80b senses when the parallel port is to control the parallel data device and when it is to control the programming interface. The control logic also senses when data is being sent out by the computer 18a and when data is to be received and selects the proper signal path.

The system for transmission or reception via programming cable of data to or from a hearing aid or remote control unit contains opto-isolators 84a, 84b and

- 27 -

voltage translators 86a, 86b for converting between the voltage levels of the programming port and the control logic levels.

One or more programming connectors 18b, 18c each having a bidirectional data line, a ground line, a supply voltage line connected to an isolated voltage supply or a battery.

Alternately, when only a small amount of power is needed, the power supply can be derived by drawing power from the data lines of the parallel port. A circuit 88 for providing isolated supply voltage includes an oscillator 88a, a transformer 88b, a rectifier 88c, and a voltage regulator 88d.

The system 82 for wireless transmission of commands and programs to the hearing aid, contains the following elements:

A carrier oscillator 92 is gated by a signal from control logic 92a, and produces two modulated carriers in phase quadrature to high efficiency driver 94a, 94b.

The driver 94a, 94b drive tuned transmitting coils 96a, 96b in orthogonal orientation.

A system for wireless reception of data from the hearing aid contains the following elements:

A tuned receive coil 98a. The coil 98a may be connected by cable to allow it to be brought near to hearing aids while they are worn.

An amplifier 98b and detector 98c coupled to the received signal provides a demodulated signal to the control logic 92a.

From the foregoing, it will be observed that numerous variations and modifications may be effected without departing from the spirit and scope of the invention. It is to be understood that no limitation with respect to the specific apparatus illustrated herein is intended or should be inferred. It is, of

- 28 -

course, intended to cover by the appended claims all such modifications as fall within the scope of the claims.

- 29 -

1. A hearing aid, having alterable parameters comprising:

analog-to-digital input circuitry for forming a digital signal representative of an incident acoustic wave;

a digital signal processor, coupled to said input circuitry, wherein said processor forms and processes first and second, frequency distinguishable data streams representative, at least in part, of said digital signal, at a first rate;

a control unit coupled to said processor wherein said unit includes circuitry for logarithmically processing at least one of said digital data streams, at a reduced rate, less than said first rate;

parameter value storage memory coupled to said unit; and

an interface for accessing said memory and altering parametric values stored therein.

2. An aid as in claim 1 wherein said control unit includes decimation circuitry.

3. An aid as in claim 1 wherein said processor includes first and second digital filters.

4. An aid as in claim 3 wherein said control unit interacts with and converts said data streams to logarithmic representations of said digital signal.

5. An aid as in claim 3 wherein said processor includes combining circuitry for forming a single, output, digitized, data stream representative of said digital signal.

6. An aid as in claim 1 wherein said interface includes a receiver of remotely generated wireless signals.

7. An aid as in claim 6 wherein said interface includes further a transmitter of wireless signals.

- 30 -

8. An aid as in claim 1 wherein said interface is accessible by transmitted radiant energy.

9. An aid as in claim 1 wherein said control unit includes an instruction storage memory.

10. An aid as in claim 1 wherein said processor includes first and second, parallel, digital filters wherein each said filter has a plurality of parameters associated therewith and wherein at least some of said parameters are remotely alterable via said interface.

Fig. 1

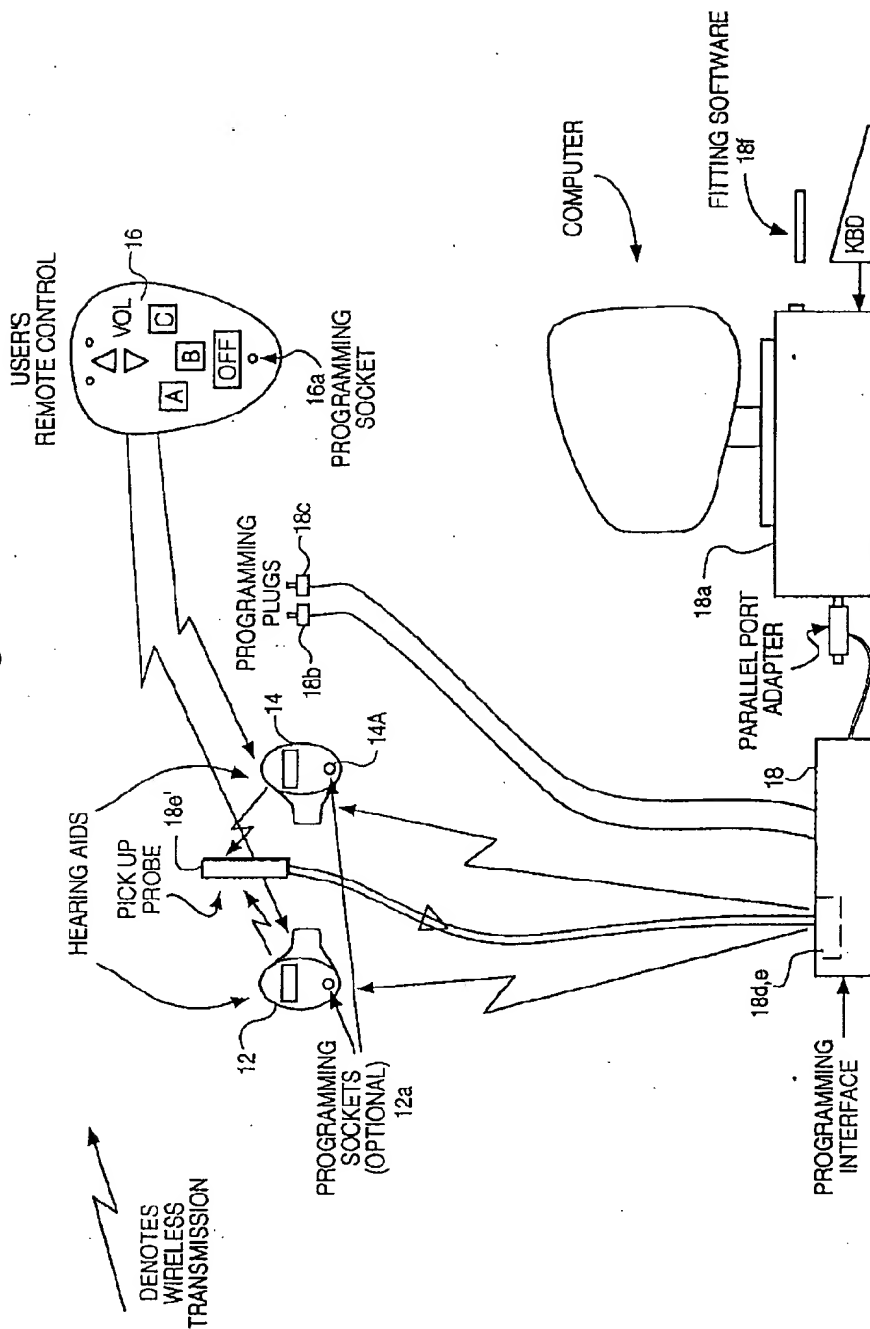
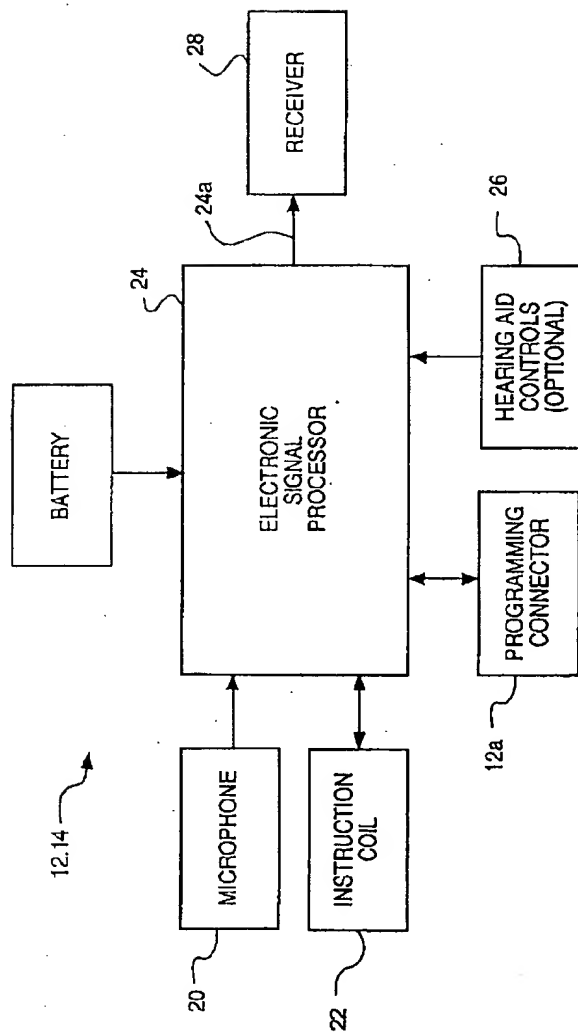


Fig. 2



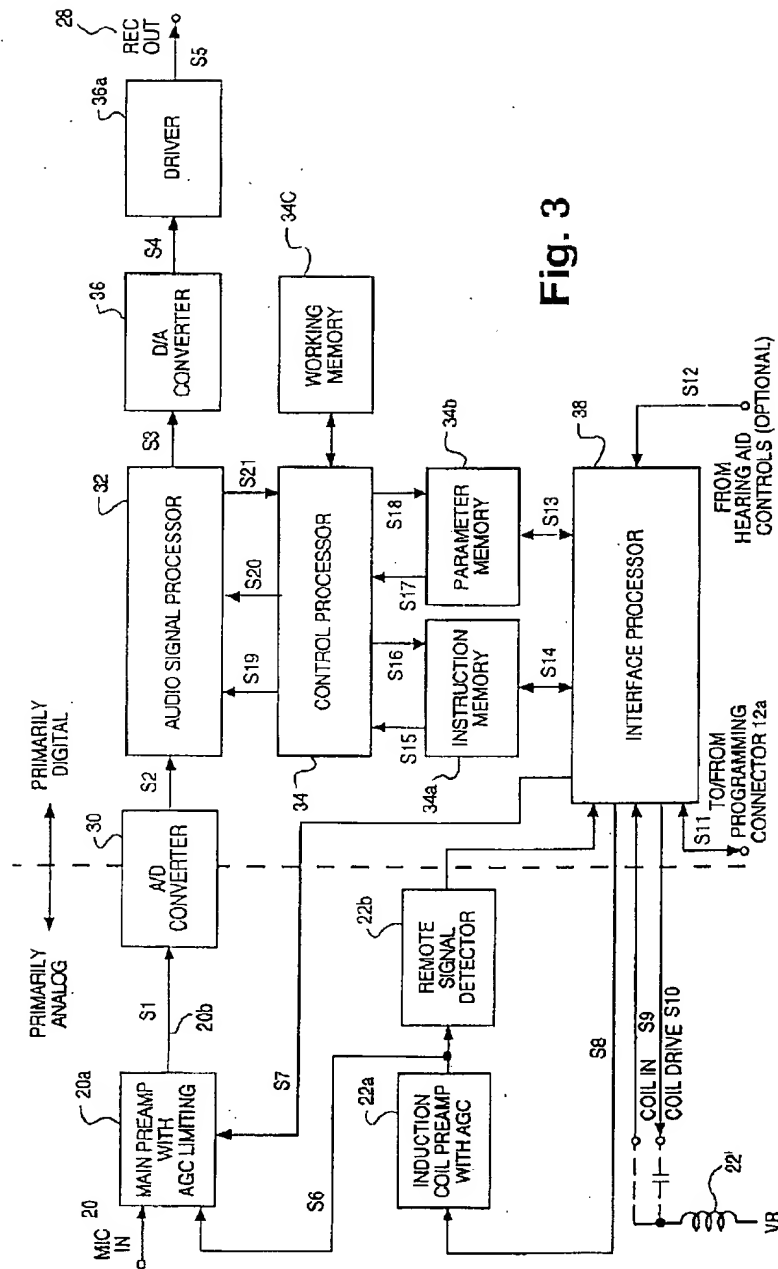


Fig. 3

Fig. 4

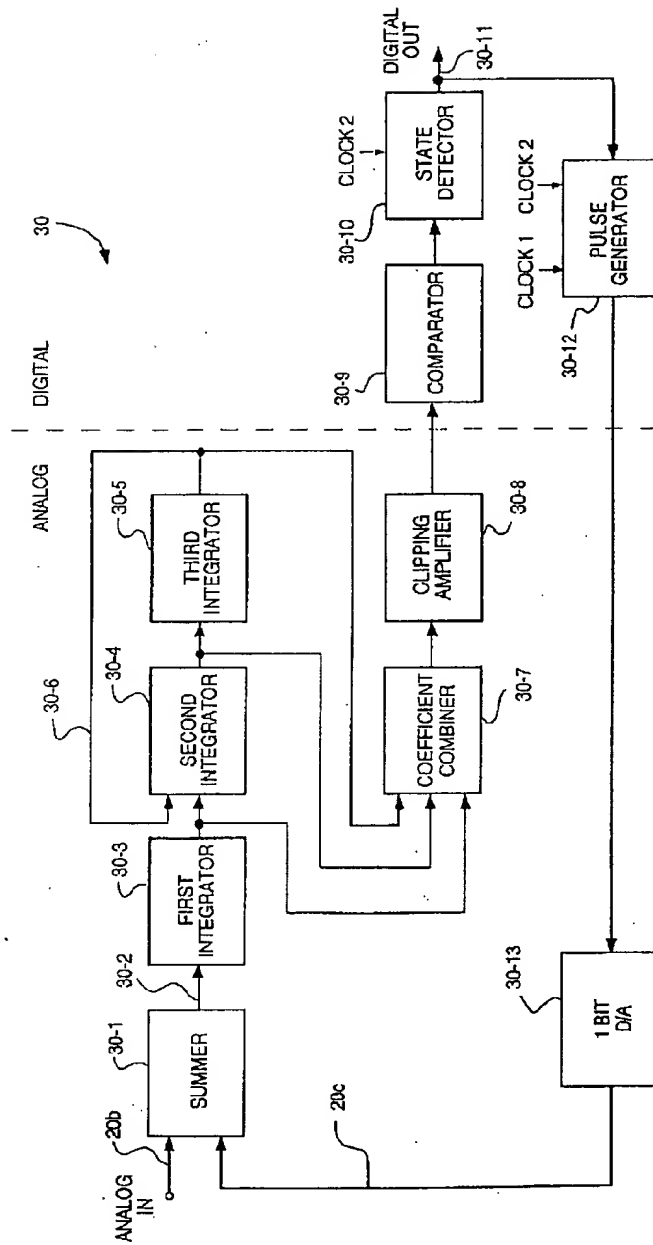


Fig. 4

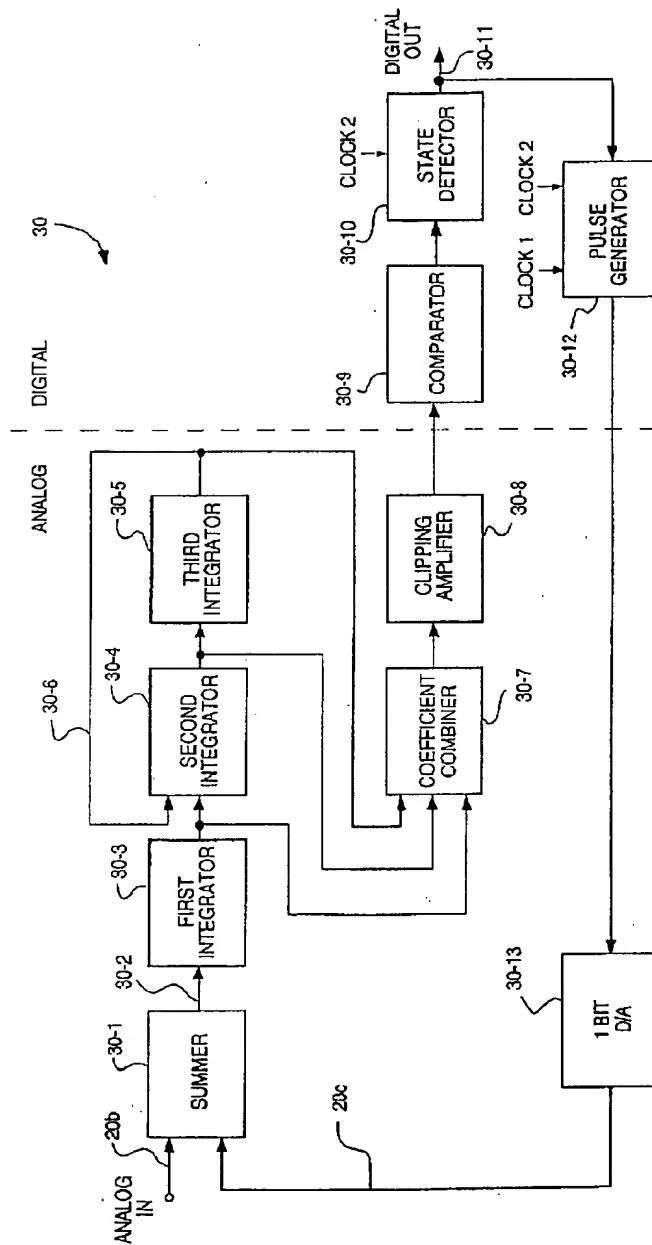
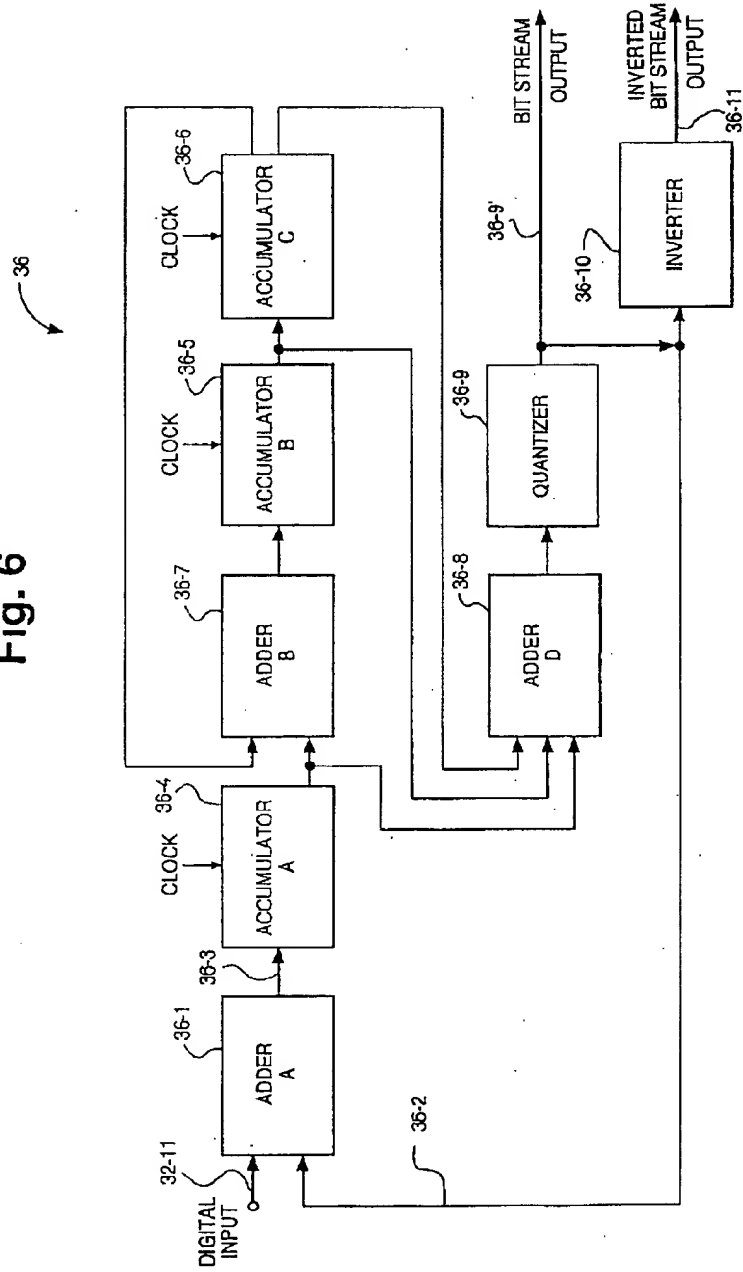
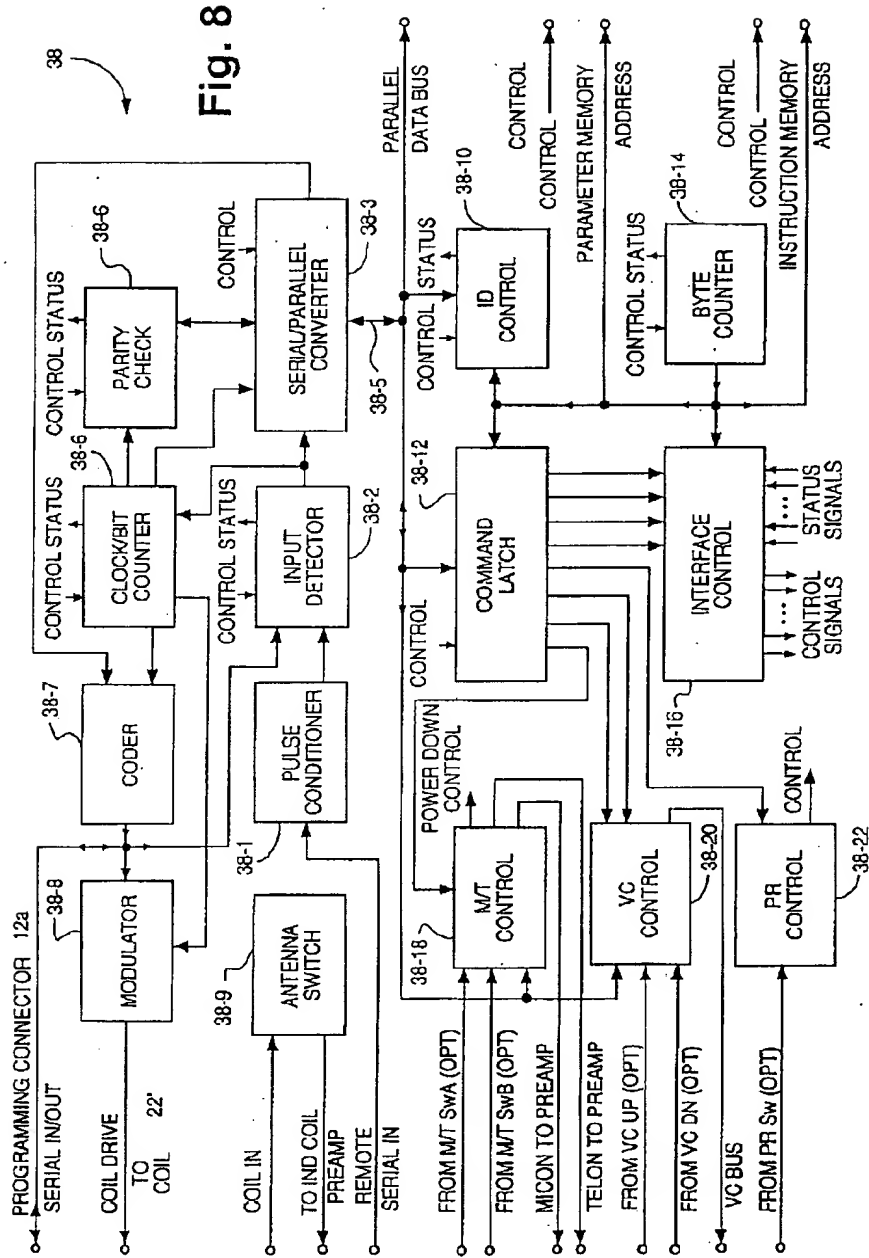


Fig. 6





7

Fig. 9

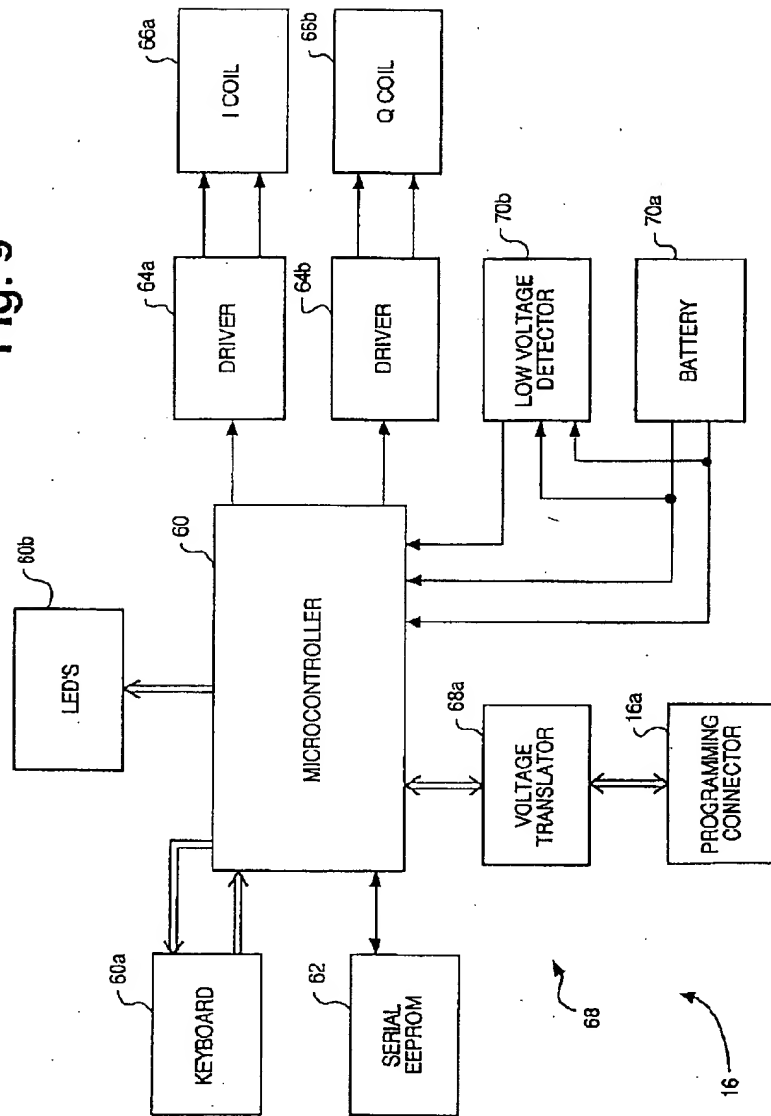
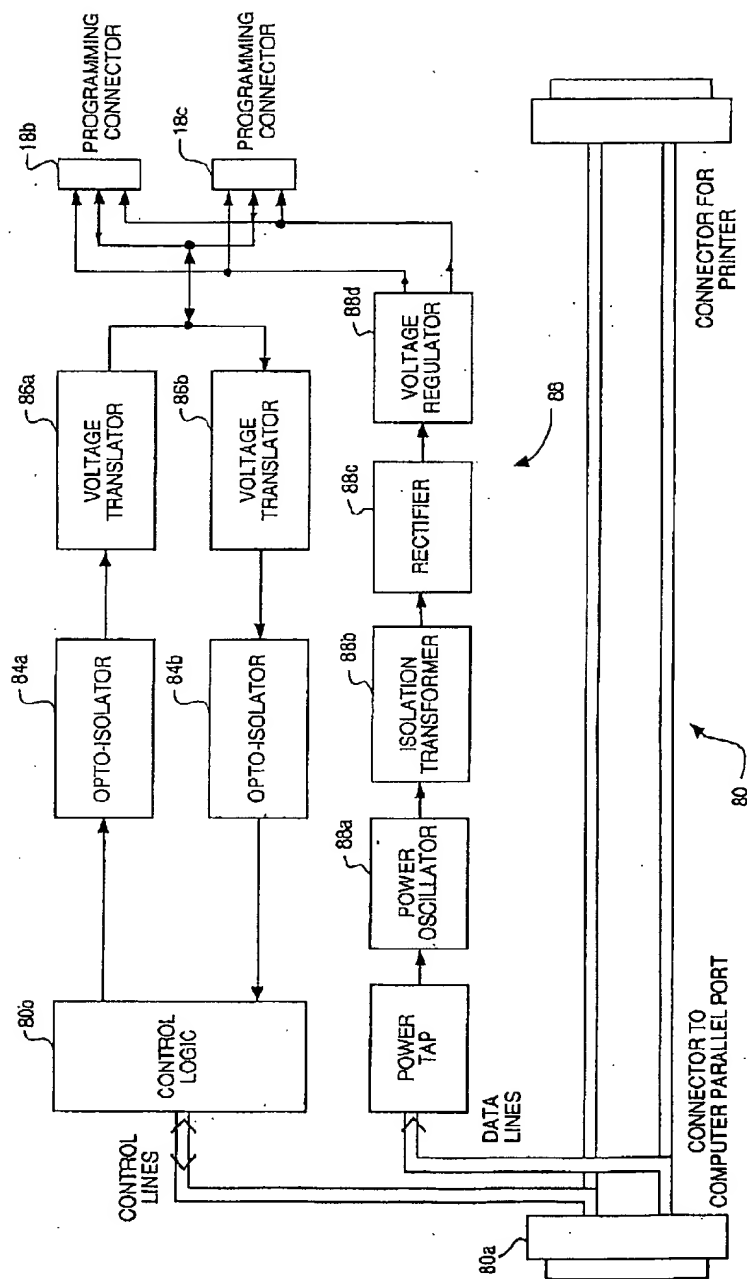
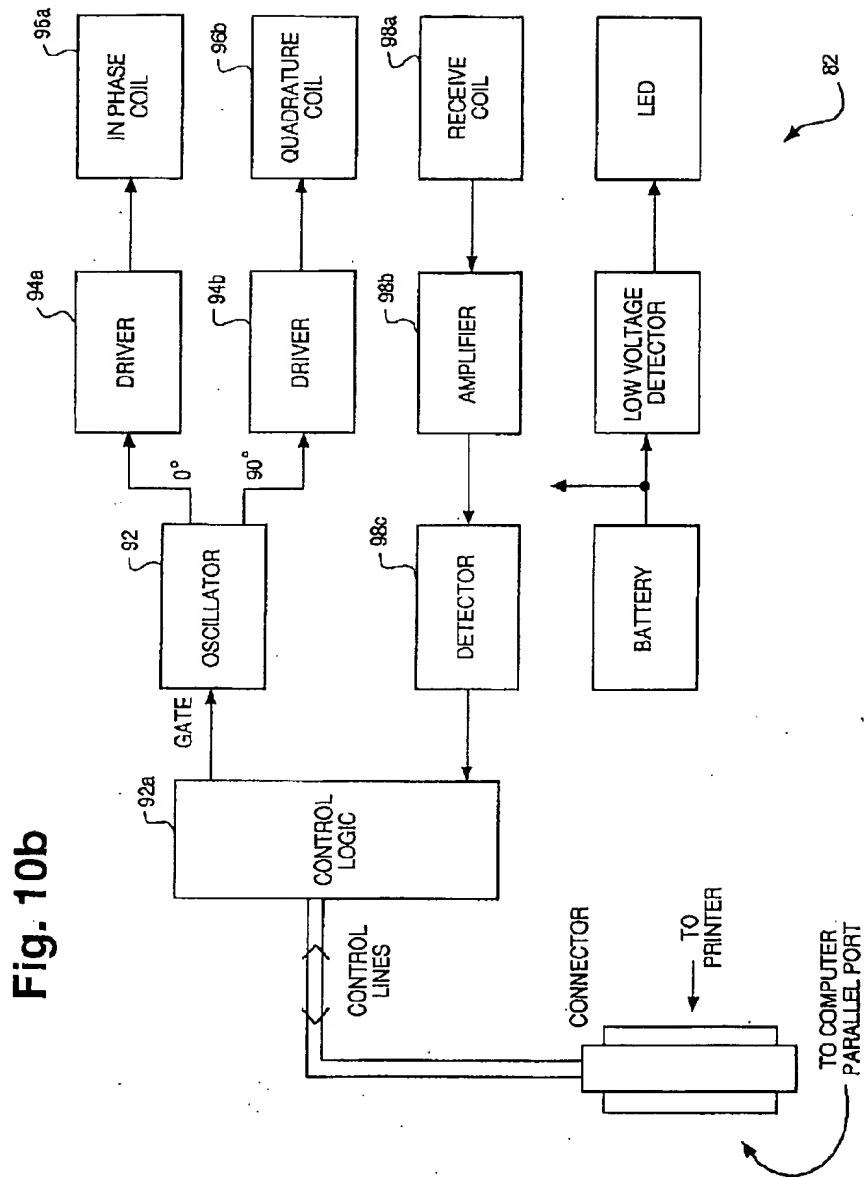


Fig. 10a





ABSTRACT

A hearing aid, having alterable parameters includes analog-to-digital input circuitry for forming a digital signal representative of an incident acoustic wave. A digital signal processor, coupled to said input circuitry, forms and processes first and second, frequency distinguishable data streams representative, at least in part, of the digital signal, at a first rate. A control unit coupled to said processor includes circuitry for logarithmically processing at least one of the digital data streams, at a reduced rate, less than the first rate. A parameter value storage memory is coupled to the unit, and an interface is provided for accessing the memory and altering parametric values stored therein.

Fig. 1

ABSTRACT

A hearing aid, having alterable parameters includes analog-to-digital input circuitry for forming a digital signal representative of an incident acoustic wave. A digital signal processor, coupled to said input circuitry, forms and processes first and second, frequency distinguishable data streams representative, at least in part, of the digital signal, at a first rate. A control unit coupled to said processor includes circuitry for logarithmically processing at least one of the digital data streams, at a reduced rate, less than the first rate. A parameter value storage memory is coupled to the unit, and an interface is provided for accessing the memory and altering parametric values stored therein.

Fig. 1